



High Performance Programmable DMA Controller

8237A, 82237

Walter Fetter Lages

w.fetter@ieee.org

Universidade Federal do Rio Grande do Sul

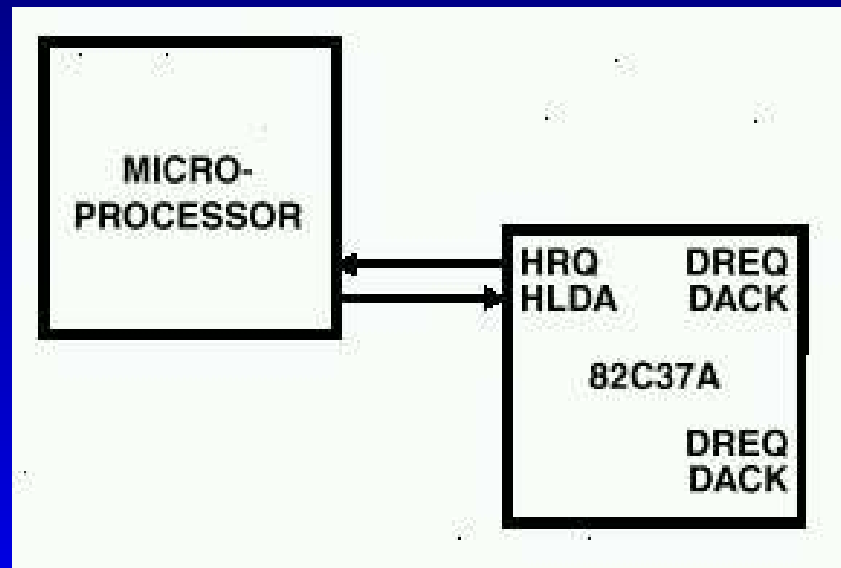
Escola de Engenharia

Departamento de Engenharia Elétrica

Microprocessadores II

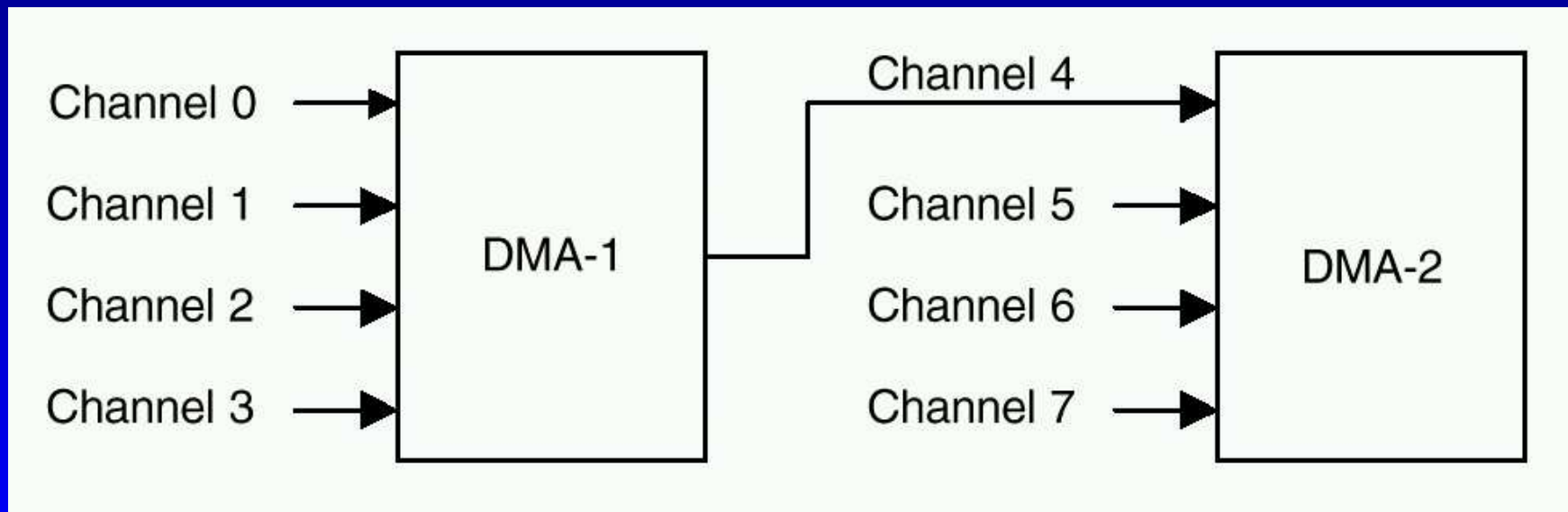
Acesso Direto à Memória

- O controlador de DMA assume o controle do barramento e faz a transferência
- Interrupções são frequentemente utilizadas juntamente com DMA, para sinalizar o fim da transferência de um bloco de dados



DMA no PC

- O PC utiliza dois 8237A em cascata e um registrador de página para armazenar os bits mais significativos de endereço
- Páginas de 64 KB para o escravo e 128 KB para o mestre
- Bus-master ISA é feito através do DMA

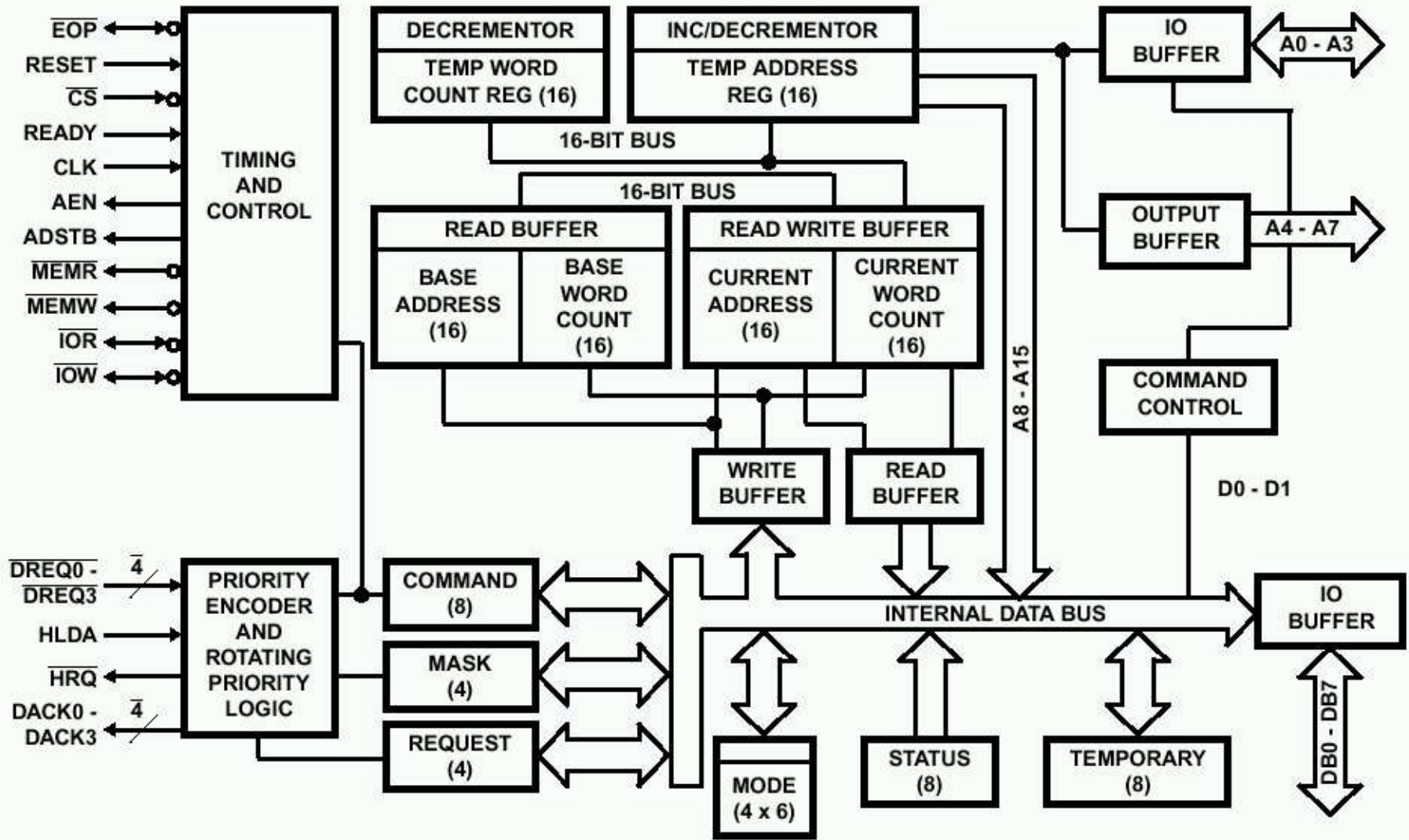




8237A

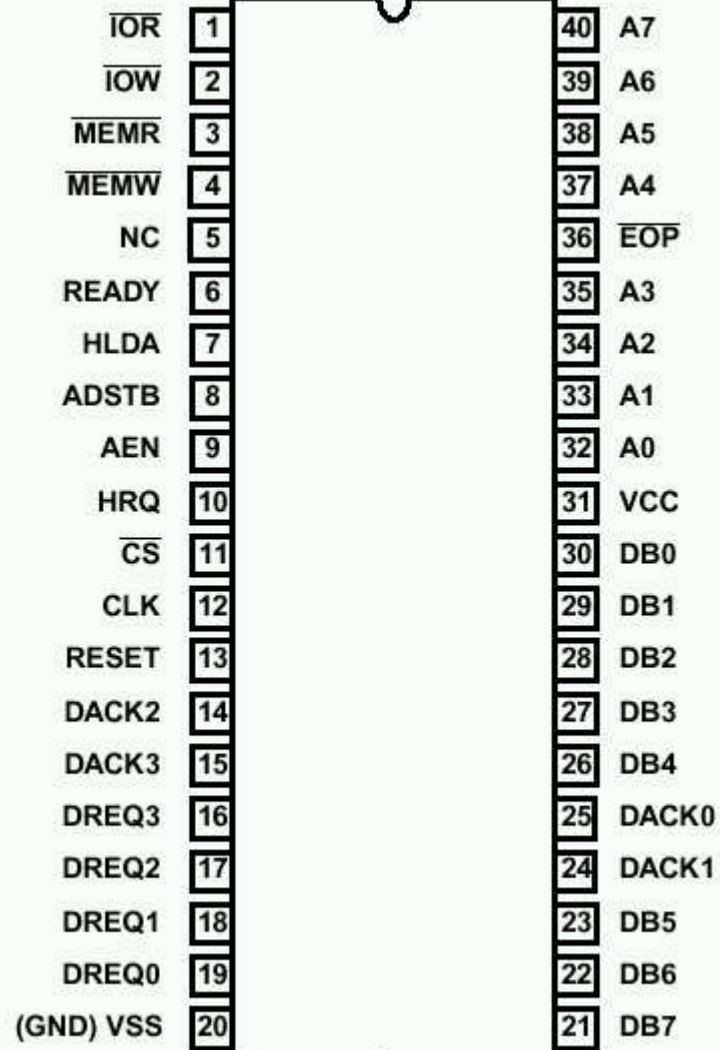
- Chip para DMA de 8 bits
 - 8 bits de dados
 - 16 bits de endereços
- 4 canais mascaráveis e auto-inicializáveis
- Cascadeável para qualquer número de canais
- Suporta transferências memória-memória
- Canais com prioridade fixa ou rotativa

Diagrama de Blocos do 8237A





Pinagem do 8237A





Modos de Transferência

- Transferência única
 - Uma transferência a cada requisição
- Transferência em bloco
 - Um bloco transferido por requisição
- Transferência por demanda
 - Transferências enquanto a requisição estiver ativa
- Modo de cascata



Tipos de Transferência

- Auto-inicializada
- Memória-memória
 - Utiliza dos canais 0 e 1
- Prioridade
 - Fixa ou rotativa
- Temporização Comprimida

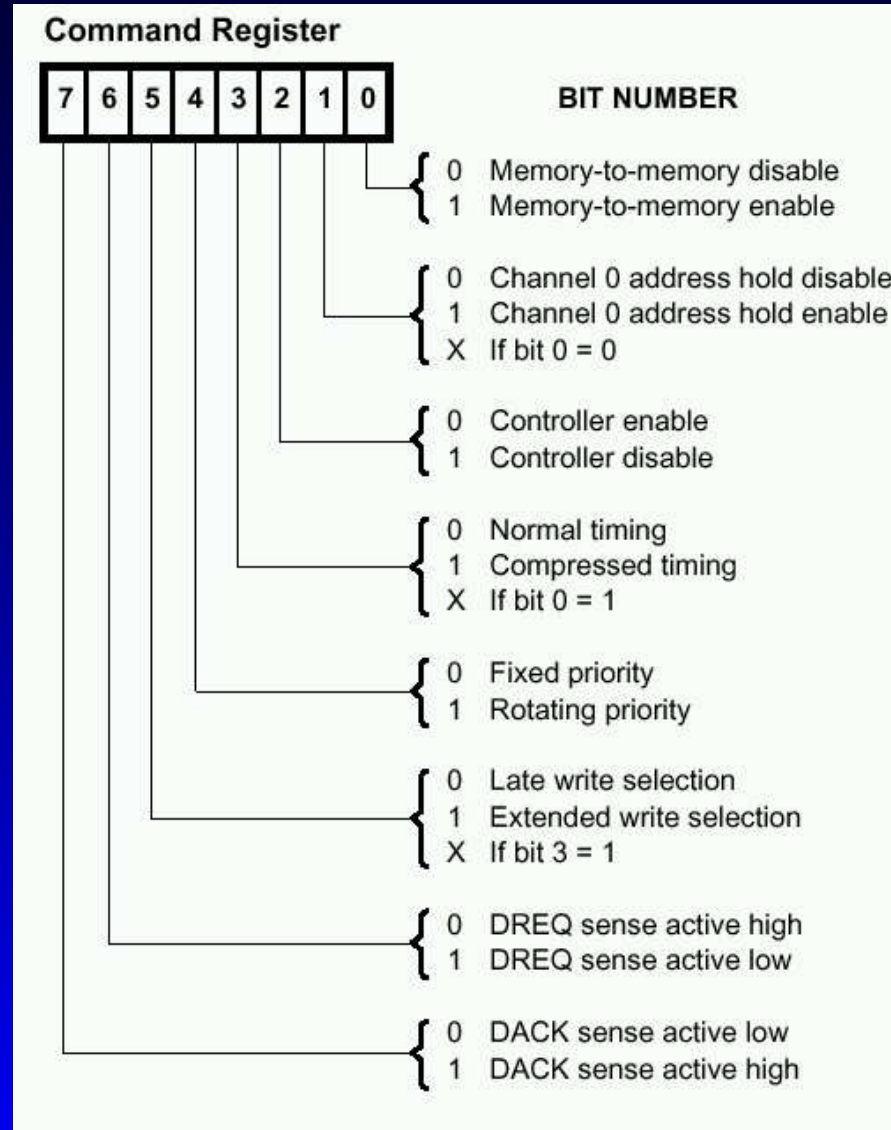


Registradores do 8237A

- Current Address Register
 - Inacessível externamente
- Current Word Count Register
 - Inacessível externamente
- Base Address Register
 - Endereço inicial da transferência
- Base Word Count Register
 - Contagem inicial da transferência
- Temporary Register

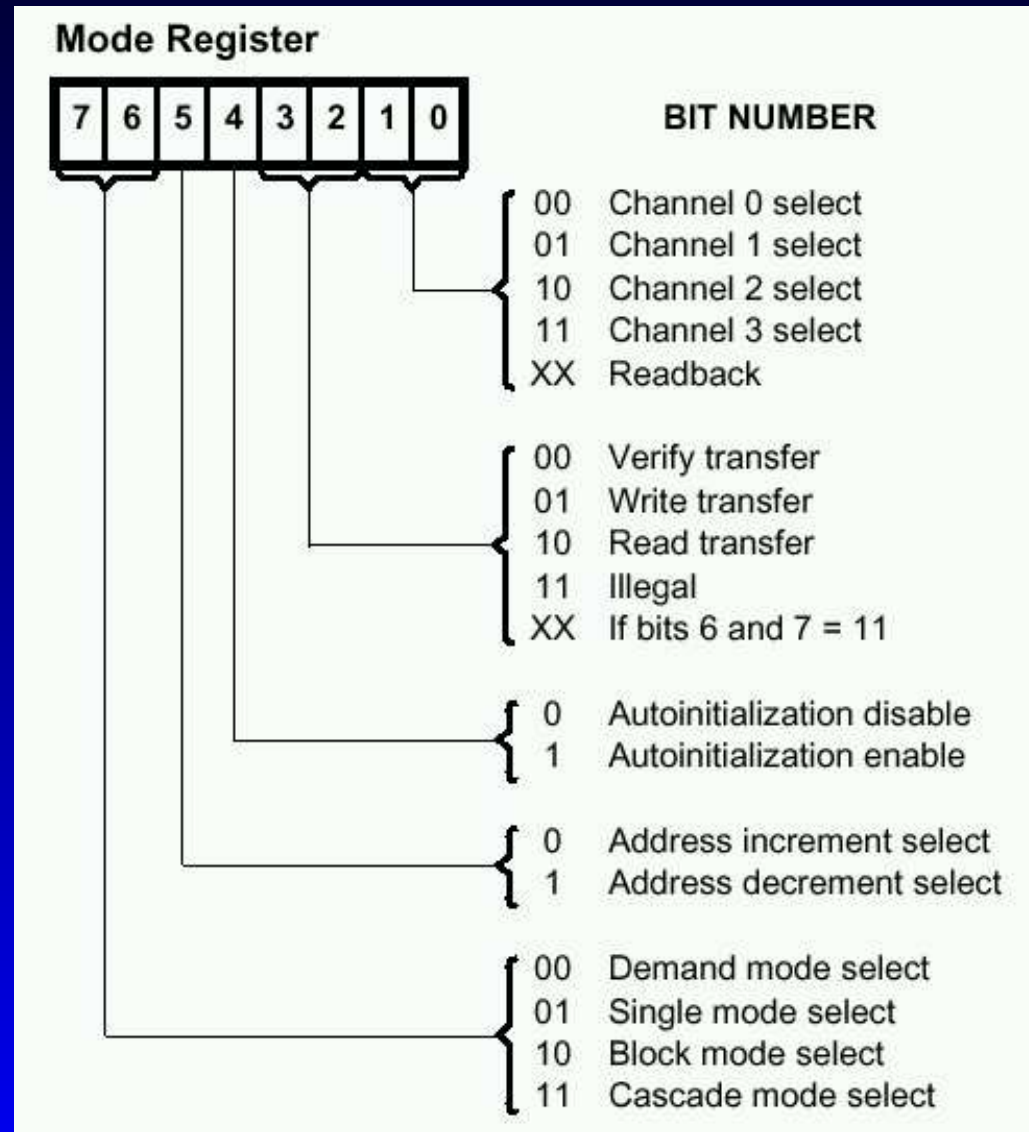


Command Register





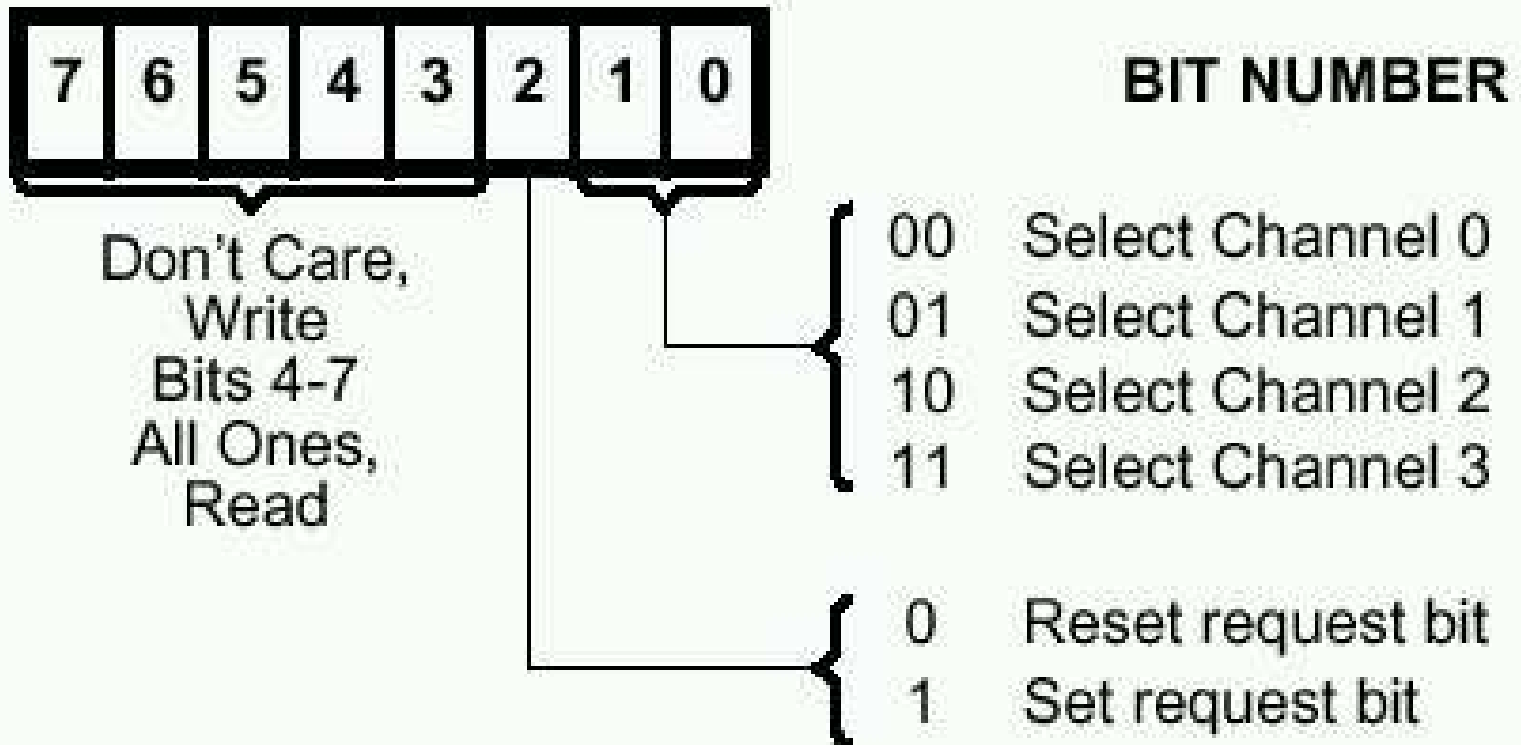
Mode Register



Request Register

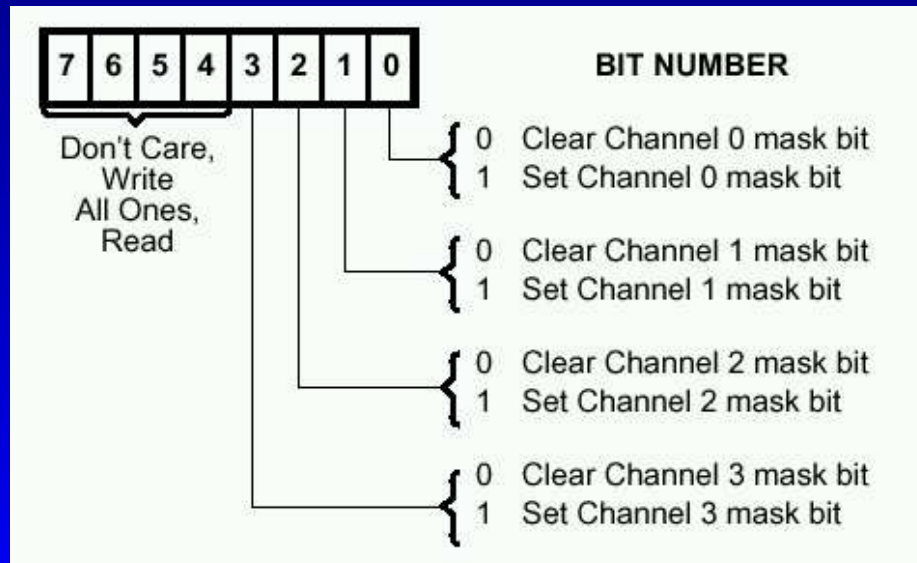
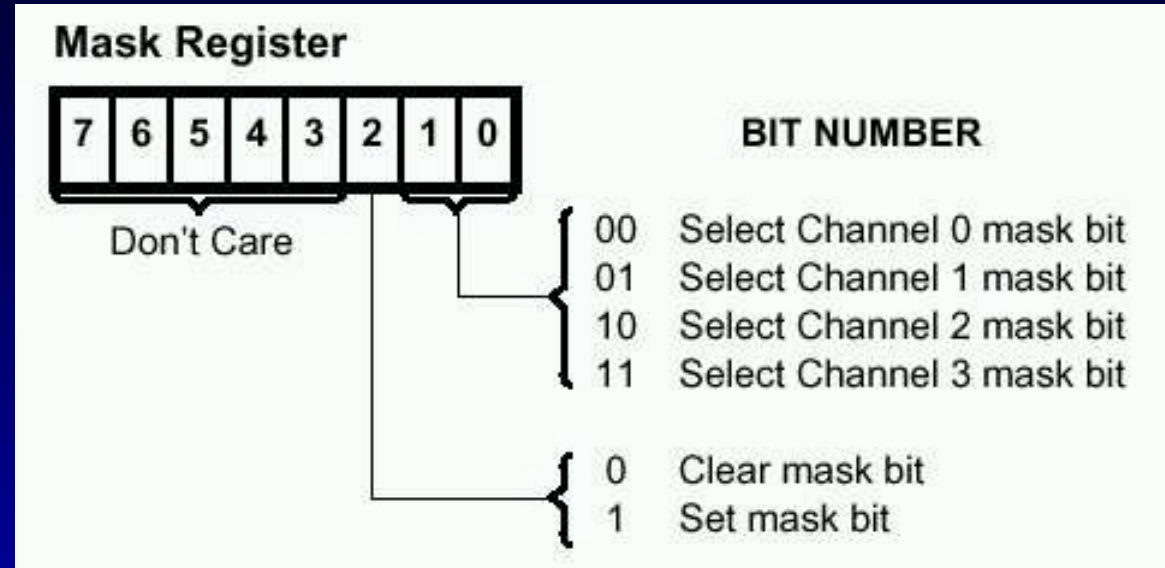


Request Register





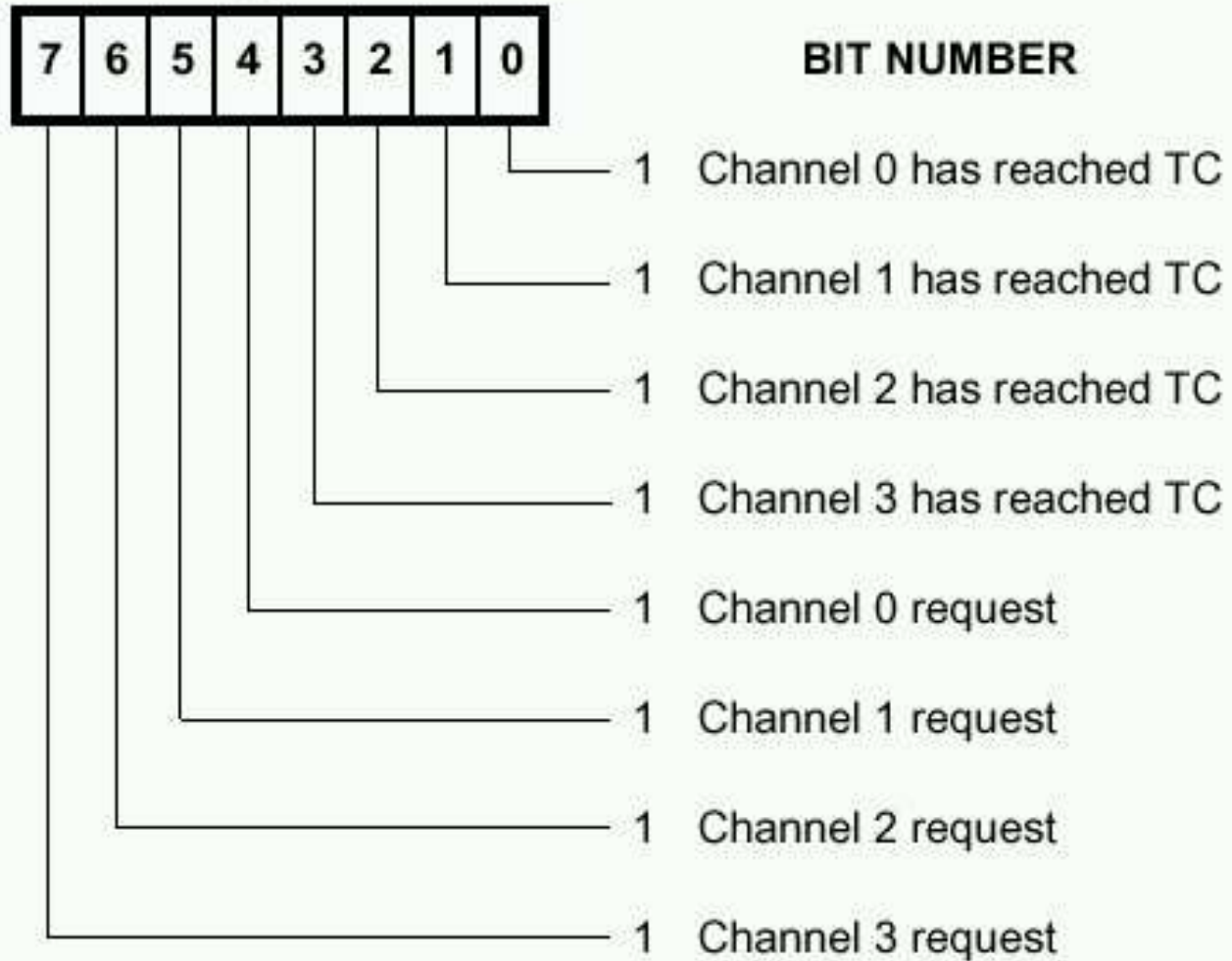
Mask Register





Status Register

Status Register





Comandos de Software

Comando	A3	A2	A1	A0
Read Status Register	1	0	0	0
Write Command Register	1	0	0	0
Read Request Register	1	0	0	1
Write Request Register	1	0	0	1
Read Command Register	1	0	1	0
Write Single Mask Bit	1	0	1	0
Read Mode Register	1	0	1	1
Write Mode Register	1	0	1	1



Comandos de Software

Comando	A3	A2	A1	A0
Set First/Last F/F	1	1	0	0
Clear First/Last F/F	1	1	0	0
Read Temporary Register	1	1	0	1
Master Clear	1	1	0	1
Clear Mode Reg. Counter	1	1	1	0
Clear Mask Register	1	1	1	0
Read All Mask Bits	1	1	1	1
Write All Mask Bits	1	1	1	1



Comandos de Software

- Set first/last f/f
- Clear first/last f/f
- Master clear
- Clear mode register counter
- Clear mask register



Registrador de Página

- Fornece os bits superiores para completar 20 ou 24 bits
- 0081H = canal 2
- 0082H = canal 3
- 0083H = canal 1
- 0087H = canal 0
- 0089H = canal 6
- 008AH = canal 7
- 008BH = canal 5
- 008FH = canal 4
 - Não utilizado (cascata)



Canais de DMA ISA

- Escravo - 8 bits
 - 0 refresh no XT/Sound Blaster/ECP
 - 1 Sound Blaster
 - 2 floppy
 - 3 IDE/ECP
- Mestre - 16 bits
 - 4 cascata
 - 5 Sound Blaster
 - 6 livre
 - 7 livre



8237A no PC

- Mestre - endereço base = 000C0H
- Escravo - endereço base = 0000H
- Prioridade fixa
- Normal timing
- Extended write
- DREQ ativo alto
- DACK ativo baixo



DMA no XT

- O XT tem apenas um 8237A
 - Endereço base = 0000H
 - 0 refresh
 - 1 Sound Blaster
 - 2 floppy
 - 3 livre



Otimizações do DMA

- Dependentes do Chipset
 - Transferências de 16/32 bits em todos os canais
 - Capacidade de endereçar com 32 bits
 - Preempção
 - Scatter-write e gather-read (buffer chaining)



DMA PCI

- DMA PC/PCI
 - Linhas de REQUEST e GRANT dedicadas
 - Associa um canal de DMA à um mestre PCI
- DMA distribuído
 - Emulação de um 8237 através de canais de DMA implementados nos dispositivos PCI
 - O chipset monitora os acessos ao 8237 virtual e distribui os dados no barramento PCI
- Cada canal DMA pode ser configurado
 - DMA ISA
 - DMA PC/PCI
 - DMA Distribuído



82C237

- 82C37A com extensão para 16 bits
 - Data Width Register
 - Pino DWLE
 - Data Width Latch Enable
 - Habilita latch externo para armazenar os 8 bits não armazenados no registrador temporário em transferências memória-memória
- No modo de 16 bits os canais podem ser programados para transferências de 8 ou 16 bits

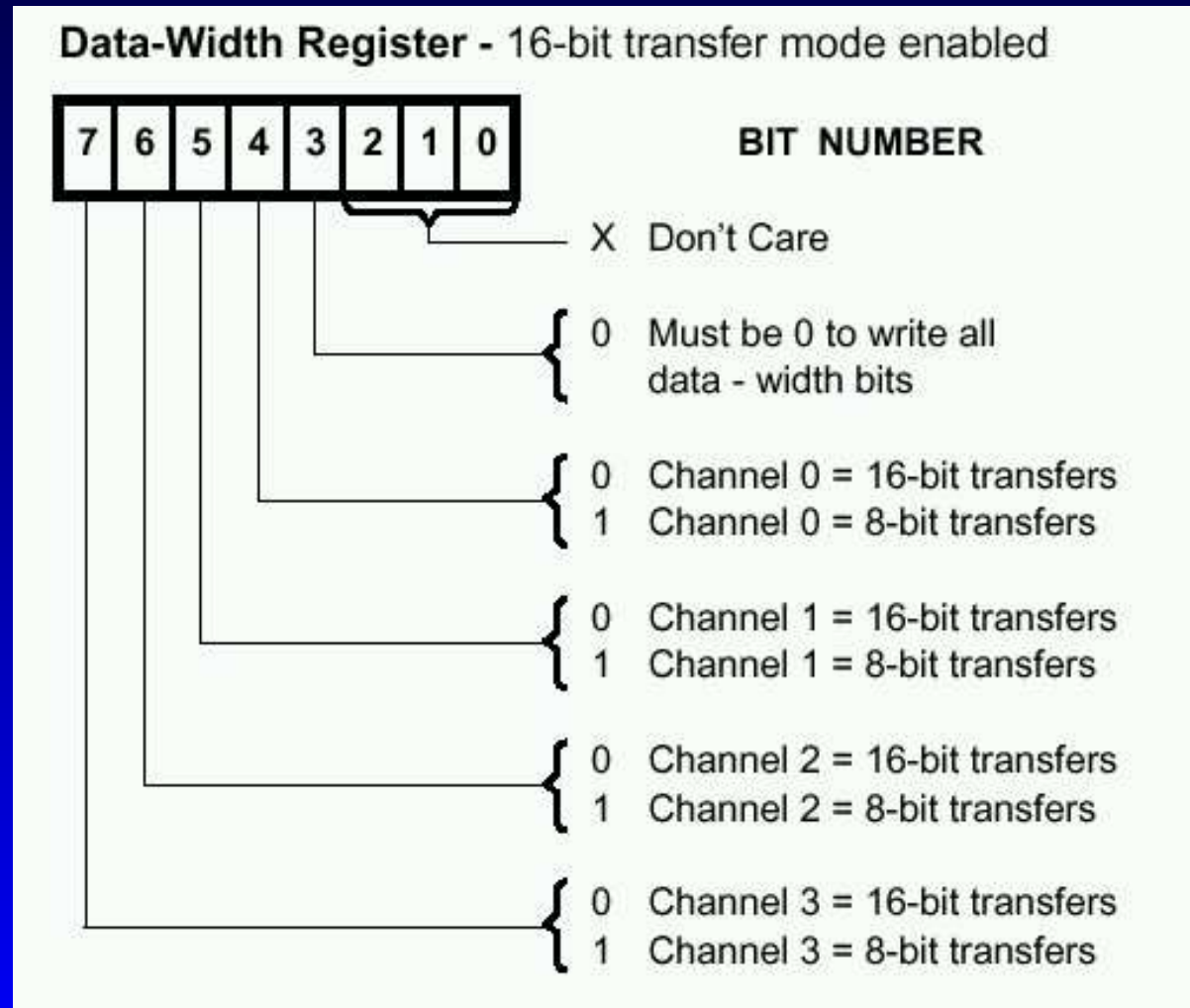
Inicialização do Modo 16 Bits



- O 82C237 entra no modo de 16 bits através da sequência de comandos
 - Reset de hardware ou Master clear
 - Set first/last flip-flop
 - Clear first/last flip-flop
- A sequência deve ser efetuada sem qualquer outro acesso ao 82C237

Data Width Register

- Mesmo endereço do registrador de máscara



Registrador de Máscara



Mask Register - 16-bit transfer mode enabled

