



Porta de Impressora

IEEE-1284

Walter Fetter Lages

w.fetter@ieee.org

Universidade Federal do Rio Grande do Sul

Escola de Engenharia

Departamento de Engenharia Elétrica

Microprocessadores II

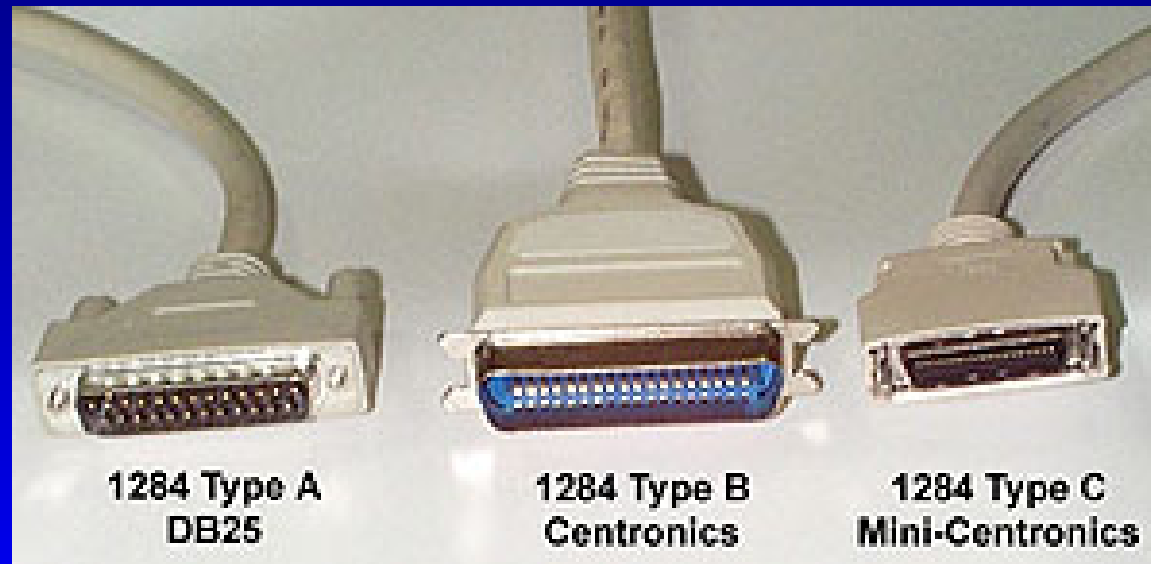


Porta Paralela no PC

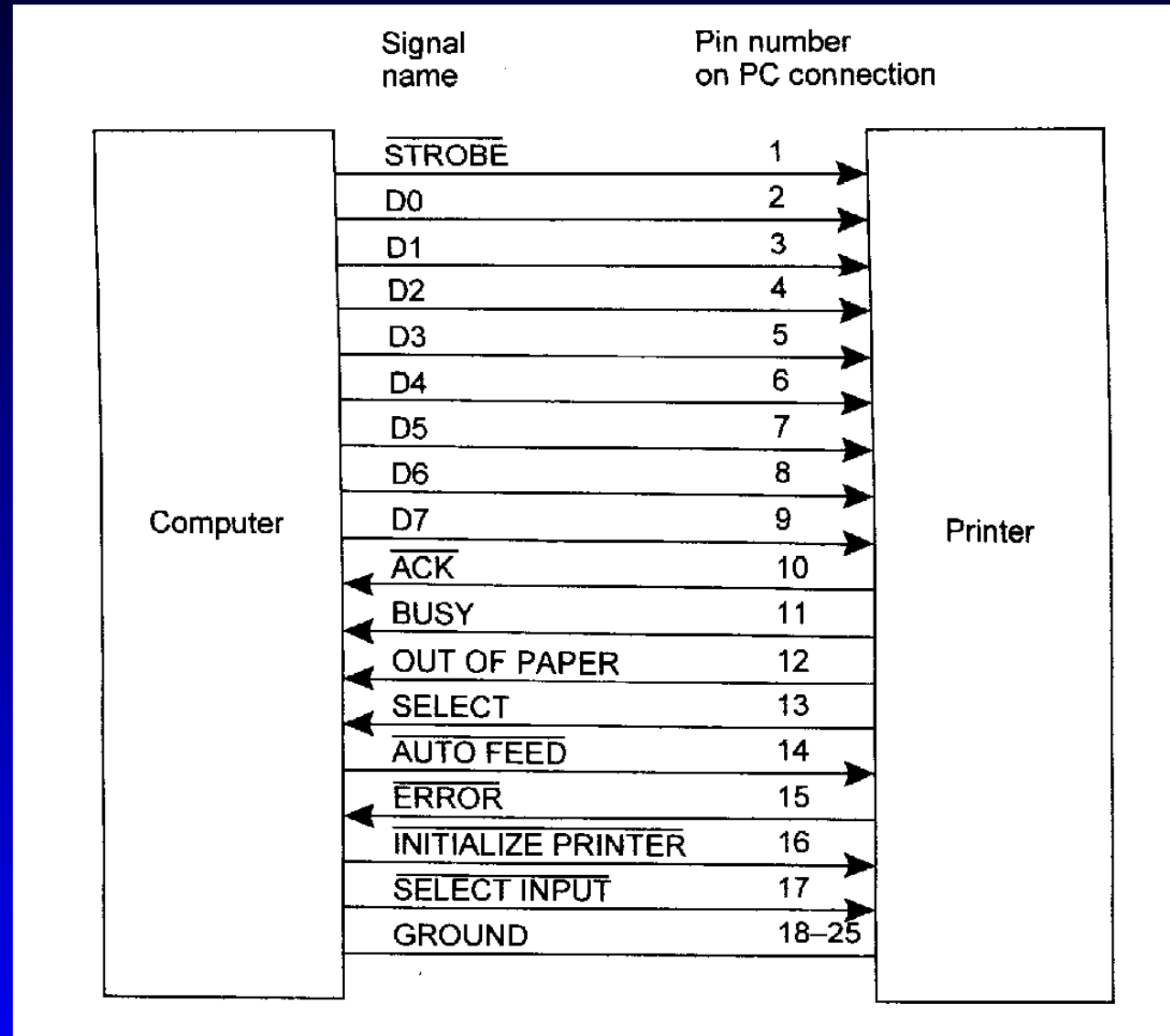
- Porta paralela padrão (SPP)
 - Projetada para interfacear com impressoras
 - Padrão Centronics
 - Unidirecional
- Porta bi-direcional
- Enhanced Parallel Port (EPP)
 - Operação mestre-escravo
- Extended Capabilities Port (ECP)
 - Operação multimestre

Porta Paralela Padrão

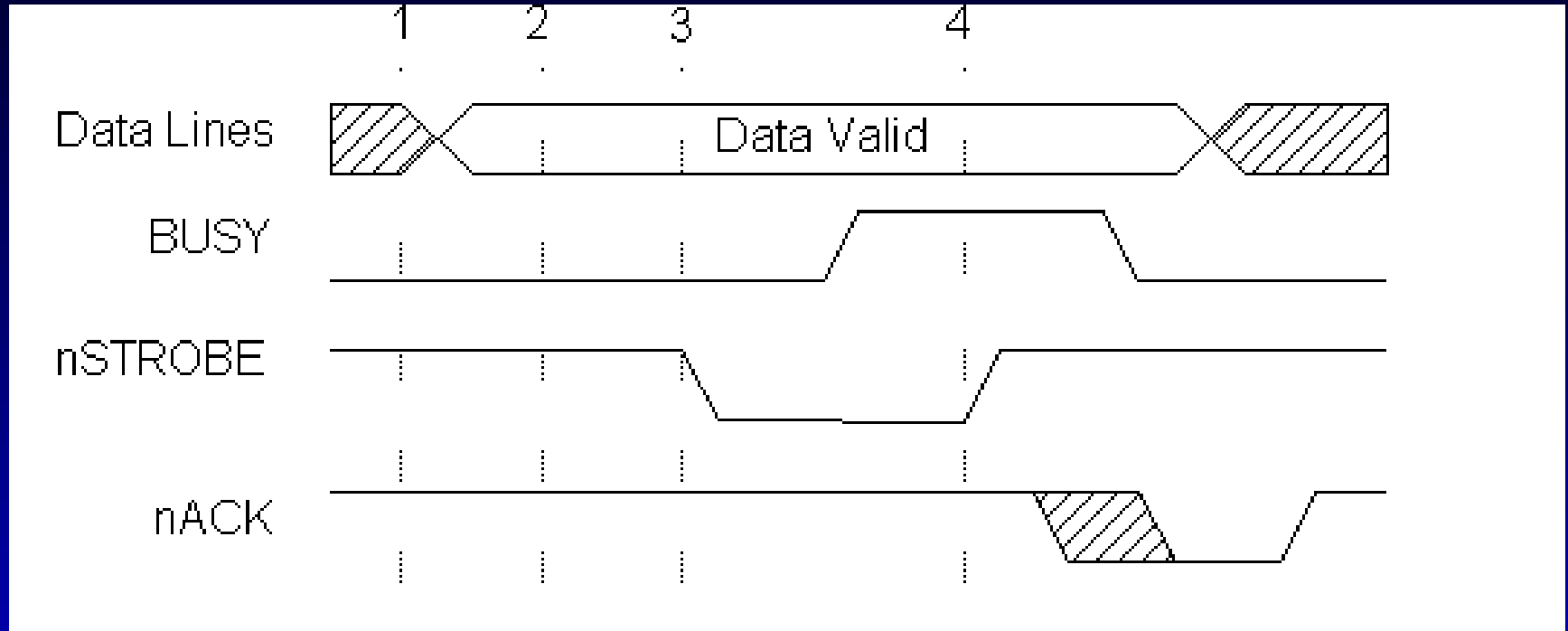
- Unidirecional
- Taxas de transferência de até 100Kbps
- Sinais de controle em coletor aberto
 - Permite várias impressoras na mesma porta
 - Não suportado pela maioria dos drivers



Sinais SPP



Protocolo SPP





Endereços

- Um PC pode ter até 3 portas paralelas
 - No POST a BIOS armazena os endereços das portas paralelas encontradas na área de dados da BIOS
 - 0040:0008H endereço base de LPT1
 - 0040:000AH endereço base de LPT2
 - 0040:000CH endereço base de LPT3
- Cada porta paralela ocupa 3 portas de I/O
 - Base+0 registrador de dados
 - Base+1 registrador de status
 - Base+2 registrador de controle

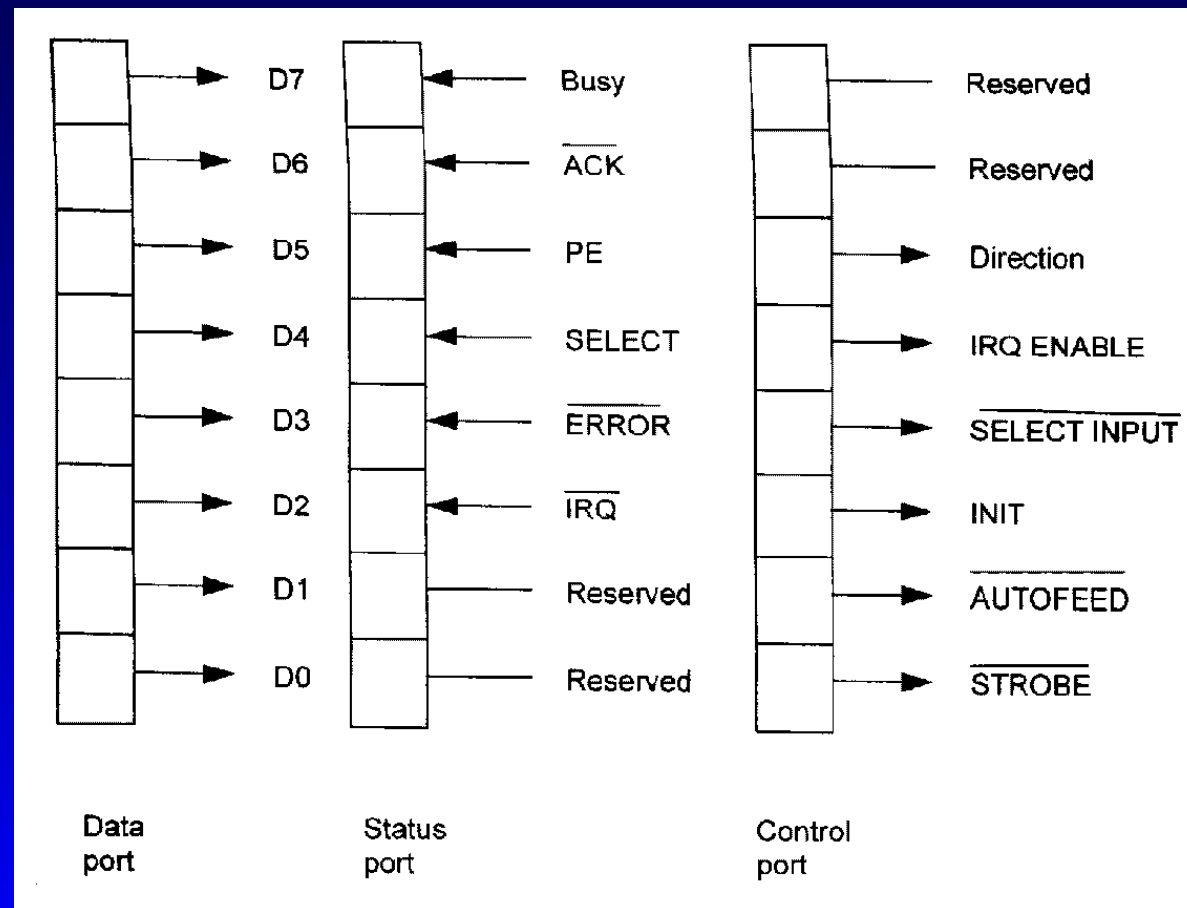


Endereços Padrão

- Normalmente as portas de impressora utilizam os seguintes endereços base
 - 3BCH
 - Normalmente utilizado em portas paralelas implementadas em placas de vídeo
 - 378H
 - Normalmente utilizada com IRQ7
 - 278H
 - Normalmente utilizada com IRQ5
 - A BIOS procura pelas portas na ordem acima
 - A primeira encontrada é LPT1, a segunda LPT2 e a terceira LPT3

Registradores

- O bit BUSY no registrador de status é invertido em relação ao sinal BUSY no pino





Loopback

- Os pinos do conector da porta paralela podem ser lidos através dos mesmos registradores de dados e controle
 - Utilizado para teste da porta
- A porta não é bi-direcional, pois a saída de dados nunca é desabilitada
 - Os bits de dados são apenas saída, embora esta saída possa ser lida pelo processador

Porta SPP Como Entrada



- 4 bits de status como bits de dados
- O outro bit de status é utilizado como strobe
- Os bits de dados e os bits de controle são utilizados na direção normal
- Porta bi-direcional com 4 bits no canal reverso
 - Modo nibble
- Os bits de controle tem saída em coletor aberto
 - Escrevendo-se 1 no registrador de controle, pode-se utilizar os bits como entradas
 - Assim, pode-se ter mais 5 bits de entrada
 - Não é um modo IEEE-1284

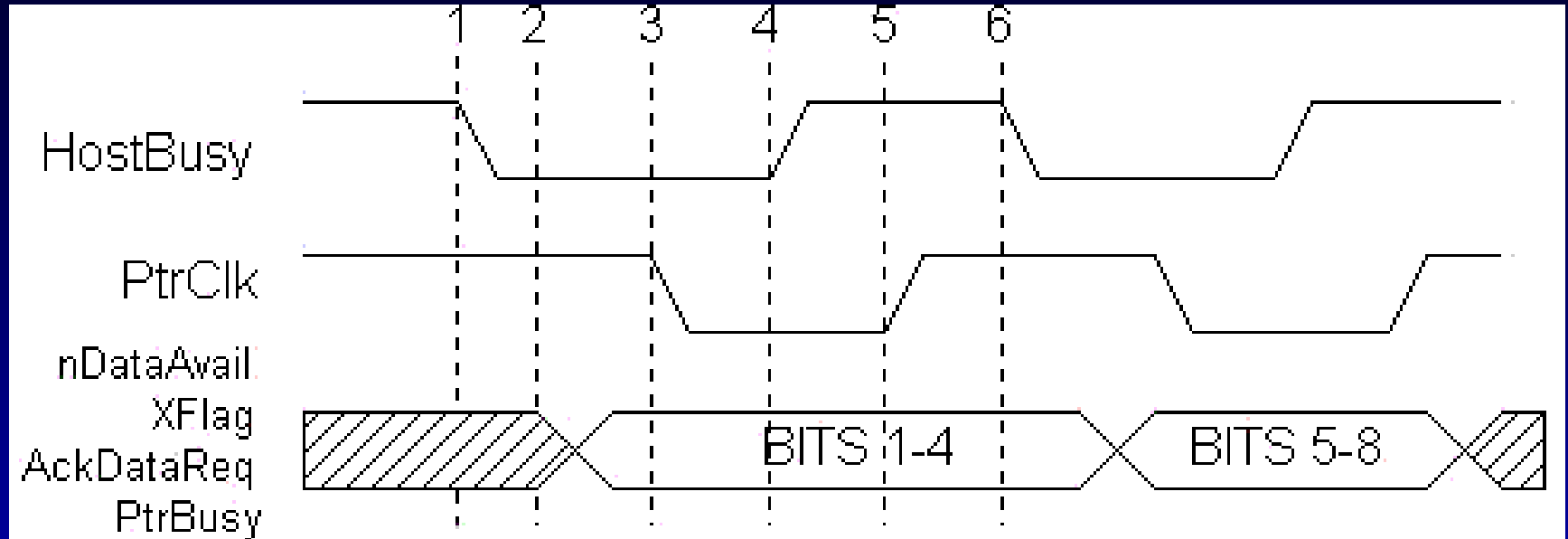
Sinais no Modo Nibble



Sinal SPP	Sinal IEEE-1284	Dir.	Descrição
$\overline{\text{STROBE}}$	$\overline{\text{STROBE}}$	Out	Não utilizado
$\overline{\text{AUTOFEED}}$	HostBusy	Out	0=host pronto para o nibble 1=nibble recebido
$\overline{\text{SELECTIN}}$	1284Active	Out	Indica modo 1284
$\overline{\text{INIT}}$	$\overline{\text{INIT}}$	Out	Não utilizado
$\overline{\text{ACK}}$	PtrClk	In	0=nibble válido 1=reposta a HostBusy=1
BUSY	PtrBusy	In	bit 3 e 7
PE	AckDataReq	In	bit 2 e 6
SELECT	Xflag	In	bit 1 e 5
$\overline{\text{ERROR}}$	$\overline{\text{DataAvail}}$	In	bit 0 e 4
DATA[7:0]	Não utilizado		



Modo Nibble



Porta Paralela Bi-direcional



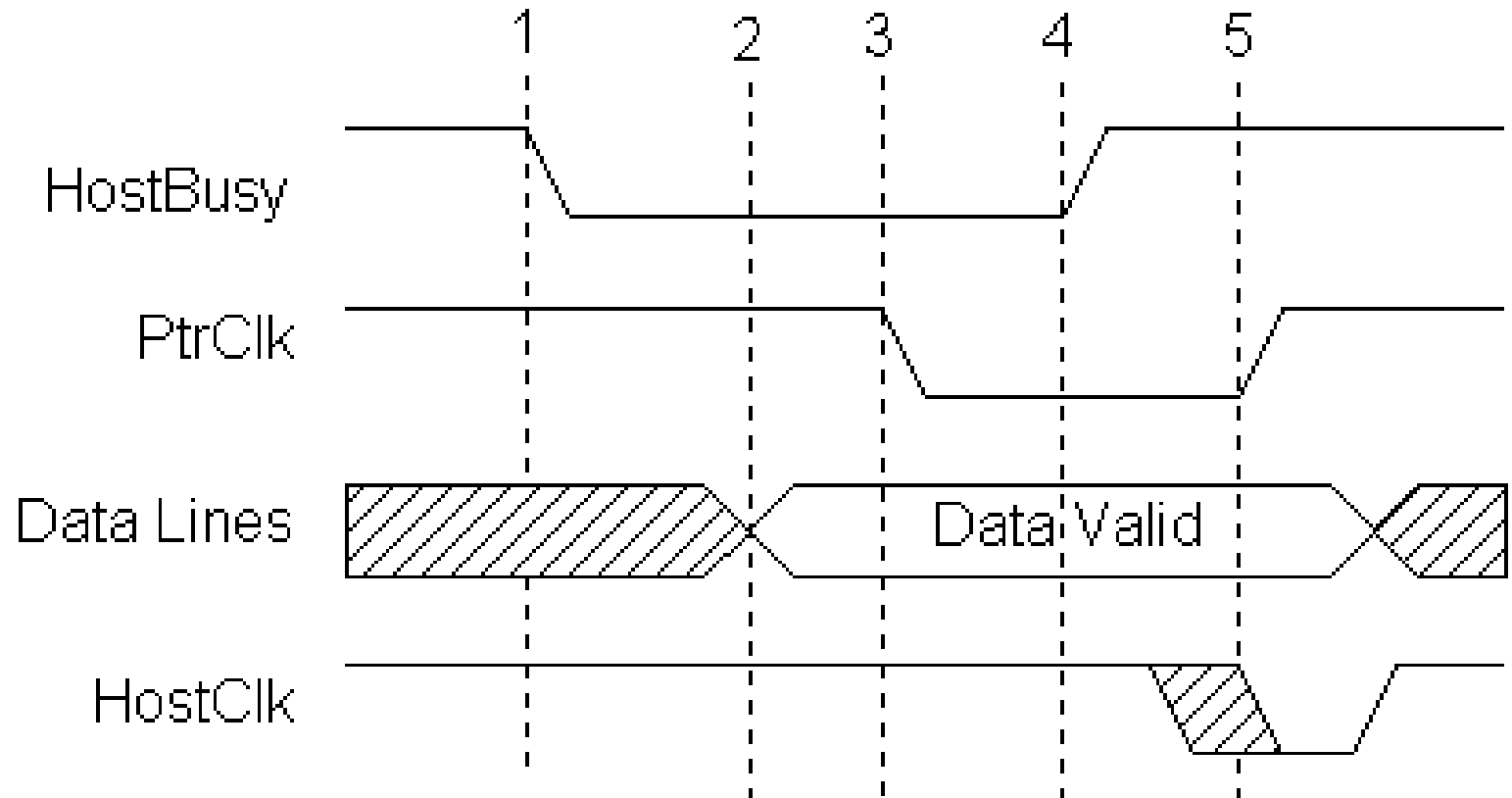
- A habilitação de saída do latch de dados é conectada ao bit 5 do registrador de controle
- Conexão half-duplex a 8 bits
- Extensão não padrão
 - Diferentes fabricantes utilizam modos diferentes para chavear a direção dos bits de dado
- Modo byte

Sinais no Modo Byte



Sinal SPP	Sinal IEEE-1284	Dir.	Descrição
$\overline{\text{STROBE}}$	HostClk	Out	Reconhecimento da recepção do byte
$\overline{\text{AUTOFEED}}$	HostBusy	Out	0=host pronto para o byte 1=byte recebido
$\overline{\text{SELECTIN}}$	1284Active	Out	Indica modo 1284
$\overline{\text{INIT}}$	$\overline{\text{INIT}}$	Out	Não utilizado
$\overline{\text{ACK}}$	PtrClk	In	0=nibble válido 1=reposta a HostBusy=1
BUSY	PtrBusy	In	Canal direto ocupado
PE	AckDataReq	In	Segue $\overline{\text{DataAvail}}$
SELECT	Xflag	In	Flag de extensão, não utilizado
$\overline{\text{ERROR}}$	$\overline{\text{DataAvail}}$	In	Dado reverso disponível
DATA[7:0]	D[7:0]	In/Out	Dados

Modo Byte



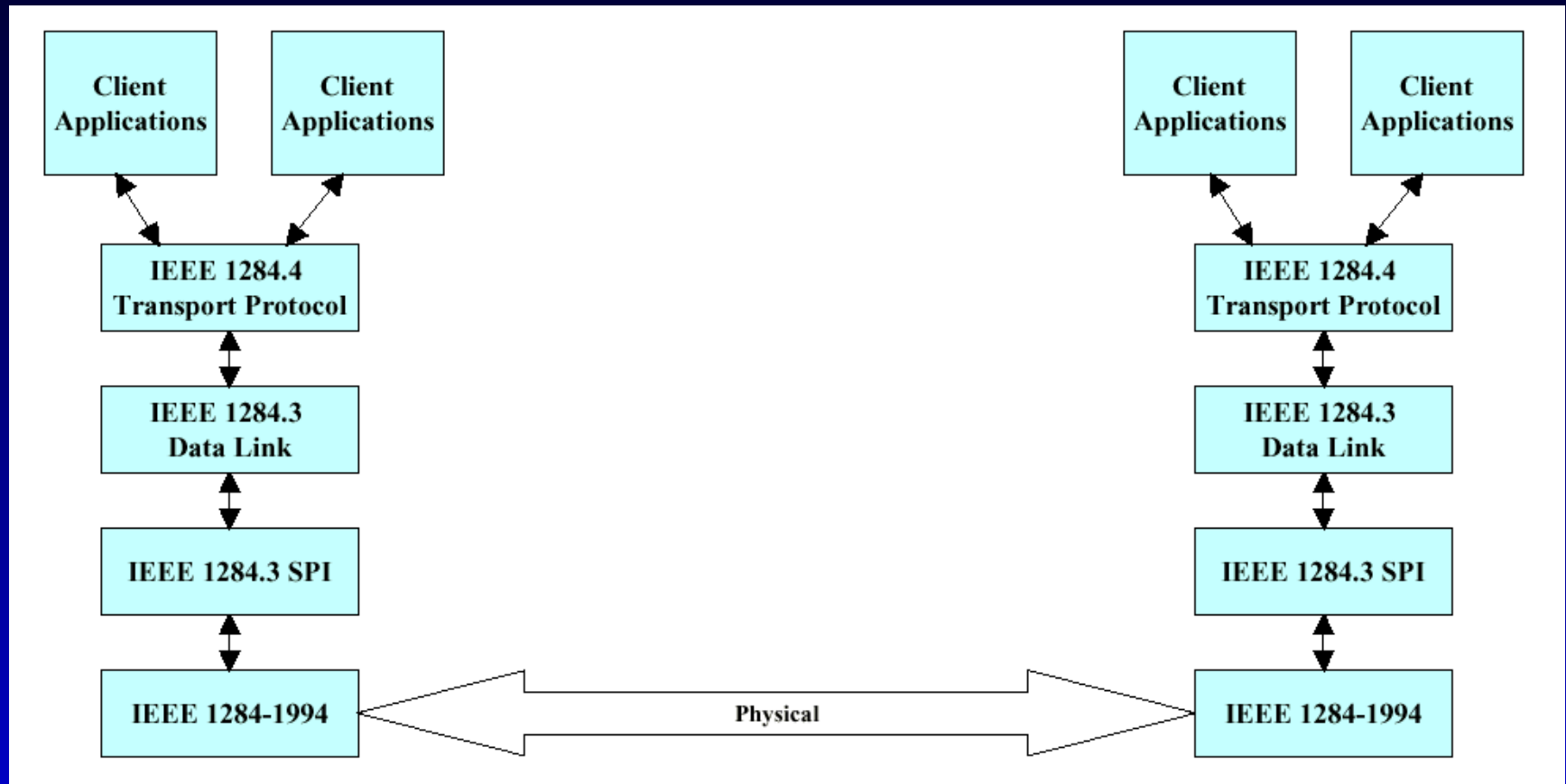


IEEE-1284

- Padronização da interface da porta paralela
- Define 5 modos de operação
 - Compatível
 - Nibble
 - Byte
 - EPP
 - ECP
- Define protocolo para negociação de modo



Stack IEEE-1284



Redefinição dos Sinais



Compatível	Nibble	Byte	ECP	EPP
$\overline{\text{Strobe}}$	HostClk	HostClk	HostClk	$\overline{\text{Write}}$
$\overline{\text{AutoFD}}$	HostBusy	HostBusy	HostAck	$\overline{\text{DStrb}}$
$\overline{\text{Init}}$	$\overline{\text{Init}}$	$\overline{\text{Init}}$	$\overline{\text{RevReq}}$	$\overline{\text{Init}}$
$\overline{\text{SelectIn}}$	1284Active	1284Active	1284Active	$\overline{\text{Strb}}$
$\overline{\text{Fault}}$	$\overline{\text{DataAvail}}$	$\overline{\text{DataAvail}}$	$\overline{\text{PeriphReq}}$	usuário
Select	X-Flag	X-Flag	X-Flag	usuário
PError	AckDataReq	AckDataReq	$\overline{\text{AckRev}}$	usuário
$\overline{\text{Ack}}$	PtrClk	PtrClk	PeriphClk	Intr
Busy	PtrBusy	PtrBusy	PariphAck	$\overline{\text{Wait}}$



Modo EPP

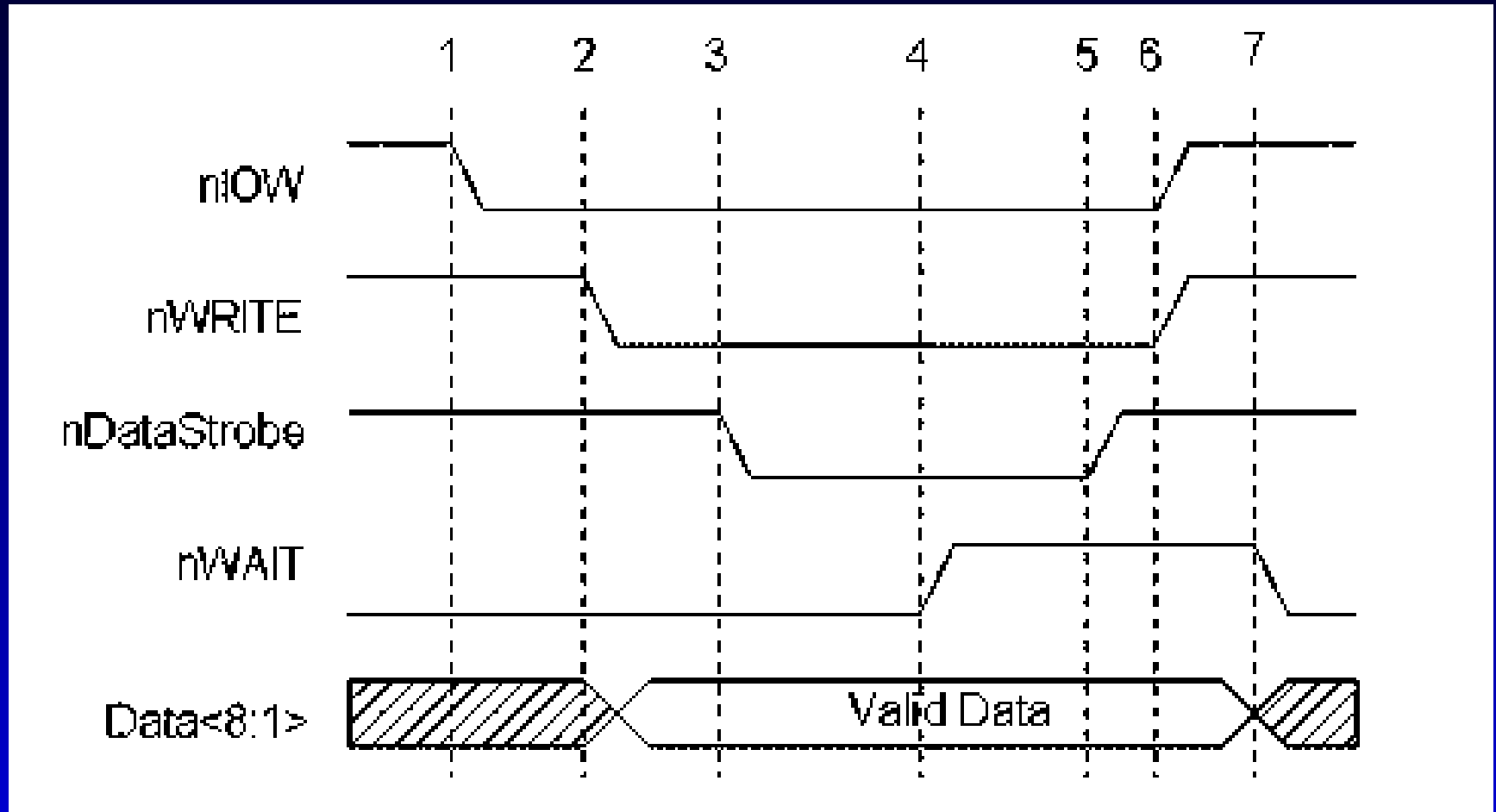
- Bi-direcional
- Operação mestre-escravo
- Suporta endereçamento
- Define 4 tipos de ciclos
 - Escrita de dados
 - Leitura de dados
 - Escrita de endereços
 - Leitura de endereços
- Sinalização gerada por *hardware*



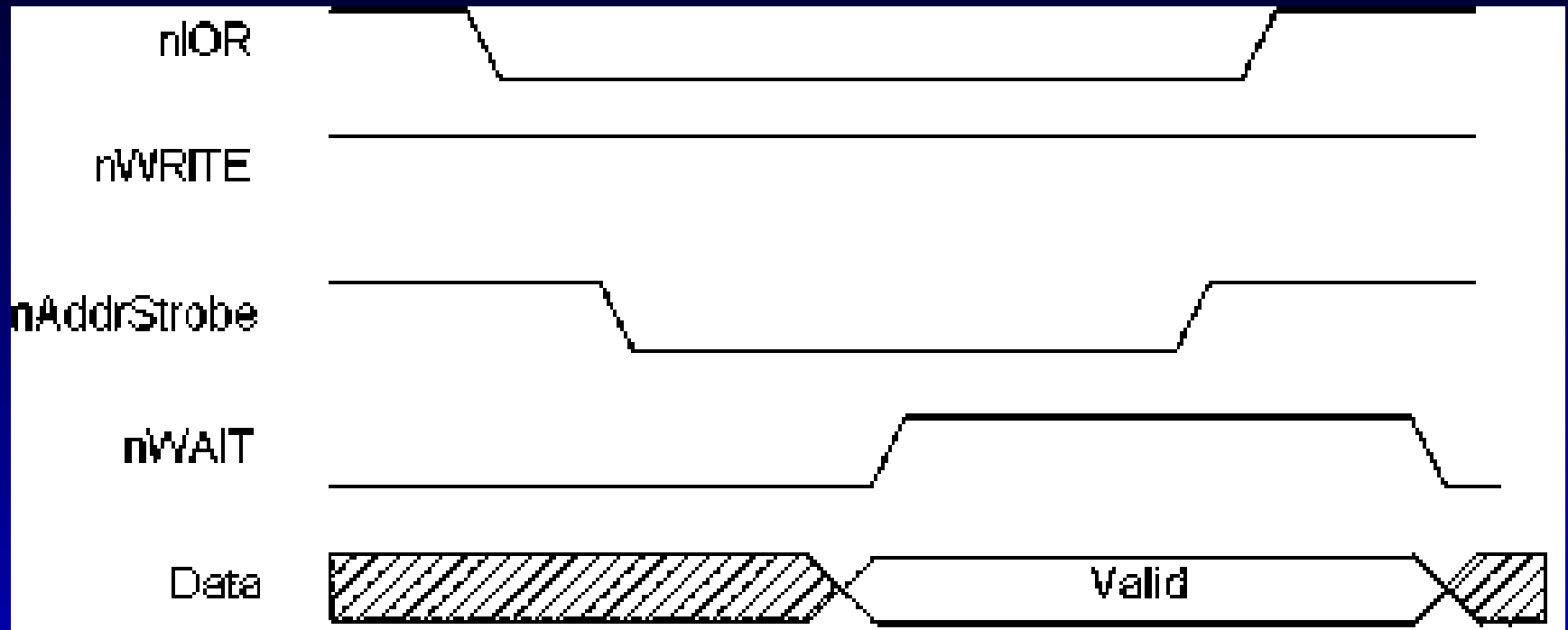
Sinais EPP

Sinal SPP	Sinal EPP	Dir.	Descrição
$\overline{\text{STROBE}}$	$\overline{\text{WRITE}}$	Out	Indica ciclo de escrita
$\overline{\text{AUTOFEED}}$	$\overline{\text{DATASTB}}$	Out	0=Strobe da dados
$\overline{\text{SELECTIN}}$	$\overline{\text{ADDRSTB}}$	Out	Strobe de endereços
$\overline{\text{INIT}}$	$\overline{\text{RESET}}$	Out	Reset do periférico
$\overline{\text{ACK}}$	$\overline{\text{INTR}}$	In	Interrupção do periférico
BUSY	$\overline{\text{WAIT}}$	In	Inserir "wait-states"
DATA[7:0]	AD[7:0]	In/Out	Dados e endereços
PE	definido pelo usuário	In	Pode ser utilizado livremente
SELECT	definido pelo usuário	In	Pode ser utilizado livremente
$\overline{\text{ERROR}}$	definido pelo usuário	In	Pode ser utilizado livremente

Ciclo de Escrita de Dados



Ciclo de Leitura de Endereços



Endereços/Registradores EPP



- O modo EPP define 2 registradores além dos definidos pelo modo EPP
 - Base+3 leitura ou escrita de endereços
 - Base+4 leitura ou escrita de dados
- Acesso a estes registradores gera automaticamente a sinalização do ciclo correspondente
- Acessos aos registradores SPP podem ser feitos normalmente



Modo ECP

- Bidirecional
- Multimestre
- Sinalização gerada por hardware
- Suporta endereçamento
- Suporta FIFO
- Suporta compactação RLE
- Suporta DMA
- Define dois tipos de ciclos
 - Ciclo de dados
 - Ciclo de comando

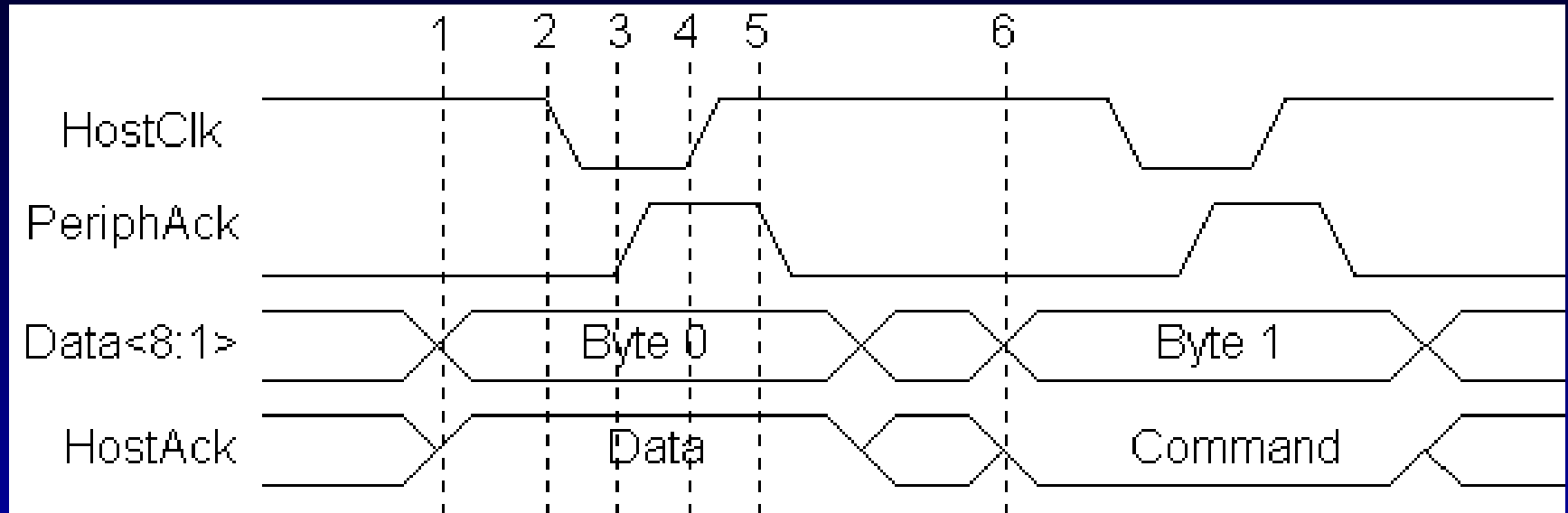


Sinais ECP

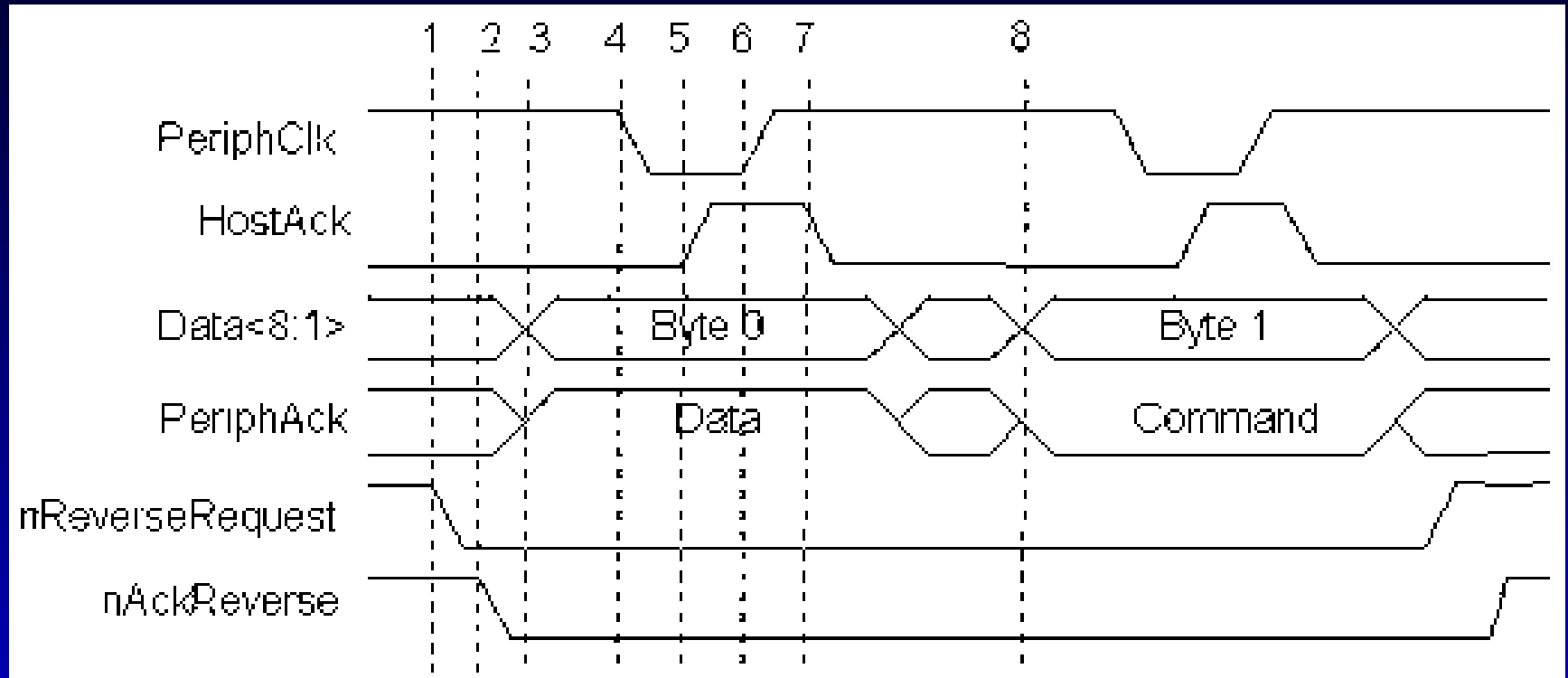
Sinal SPP	Sinal IEEE-1284	Dir.	Descrição
$\overline{\text{STROBE}}$	HostClk	Out	Clock para transferência direta
$\overline{\text{AUTOFEED}}$	HostAck	Out	Reconhecimento de transferência reversa
$\overline{\text{SELECTIN}}$	1284Active	Out	Indica modo 1284
$\overline{\text{INIT}}$	$\overline{\text{ReverseRequest}}$	Out	Solicita canal reverso
$\overline{\text{ACK}}$	PeriphClk	In	Clock para transferência reversa
BUSY	PeriphAck	In	Reconhecimento de transferência direta
PE	$\overline{\text{AckReverse}}$	In	Reconhecimento reversão do canal
SELECT	Xflag	In	Flag de extensão
$\overline{\text{ERROR}}$	$\overline{\text{PeriphRequest}}$	In	Indica dado reverso disponível
DATA[7:0]	D[7:0]	In/Out	Dados



Ciclo Direto



Ciclo Reverso





Modos ECP

- A porta ECP pode trabalhar em 7 modos
 - SPP
 - Bidirecional
 - Fast Centronics
 - Semelhante ao modo SPP, porém com FIFO e sinalização por *hardware*
 - ECP
 - EPP
 - Teste
 - Configuração

Endereços/Registradores ECP



- Base+0
 - Registrador de dados (SPP/bidirecional)
 - FIFO de endereços (ECP)
- Base+1
 - Registrador de status
- Base+2
 - Registrador de controle

Endereços/Registradores ECP



- Base+400h
 - FIFO de dados (Fast Centronics/ECP/teste)
 - Registrador de configuração A (Configuração)
- Base+401h
 - Registrador de configuração B (Configuração)
- Base+402h
 - Registrador de controle estendido

Registrador de Configuração A



- Sinaliza para o driver
 - Interrupções ativas por pulso ou por nível
 - Tamanho da palavra da FIFO
 - 8, 16 ou 32 bits
 - Quantos bytes da palavra da FIFO que está sendo transmitida ainda não foram transmitidos

Registrador de Configuração A

Bit 7: 1=interrupção por nível, 0=interrupção por borda

Bits 6-4: tamanho da palavra

0x00: 16 bits

0x01: 8 bits

0x02: 32 bits

0x03-0x0f: reservado

Bit 3: reservado

Bit 2: 0=FIFO full não inclui byte sendo transmitido,
1=FIFO full inclui o byte sendo transmitido

Bits 1-0: Quantos bytes da PWord estão na cabeça da FIFO, 00=Pword Completa

Registrador de Configuração B



- Habilita/desabilita RLE
- Seleciona interrupção
 - 5, 7, 9, 10, 11 14, 15 ou selecionada por jumper
- Seleciona DMA
 - 1, 2, 3, 5, 6, 7 ou selecionado por jumper
 - Default 3 para 8 bits e 7 para 16 bits

Registrador de Configuração B

Bit 7: 1=Usa RLE, 0=não usa RLE

Bit 6: Estado da linha IRQ

Bits 5-3: IRQ

111: 5

110: 15

101: 14

100: 11

011: 10

010: 9

001: 7

000: se leitura somente, selecionada por jumpers

Registrador de Configuração B

Bits 2-0: DMA

111: 7

110: 6

101: 5

100: se leitura somente, selecionado por jumpers

011: 3

010: 2

001: 1

000: se leitura somente, selecionada por jumpers





Registrador de Configuração Estendido

- Seleciona modo da porta ECP
- Habilita/desabilita interrupções
- Habilita/desabilita DMA
- Sinaliza estado da FIFO
 - Cheia
 - Vazia



Registrador de Configuração Estendido

Bits 7-5: DMA

000: SPP

001: Bi-direcional (PS/2)

101: SPP com FIFO (sinalização automática)

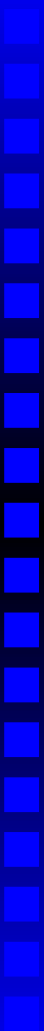
011: ECP

110: Teste, FIFO escrita e lida mas dado não transmitido

111: Modo de configuração, Registradores A e B acessíveis

Bit 4: 1=desabilita interrupção de erro, 0=habilita interrupção

Bit 3: 1=habilita DMA, 0=desabilita DMA



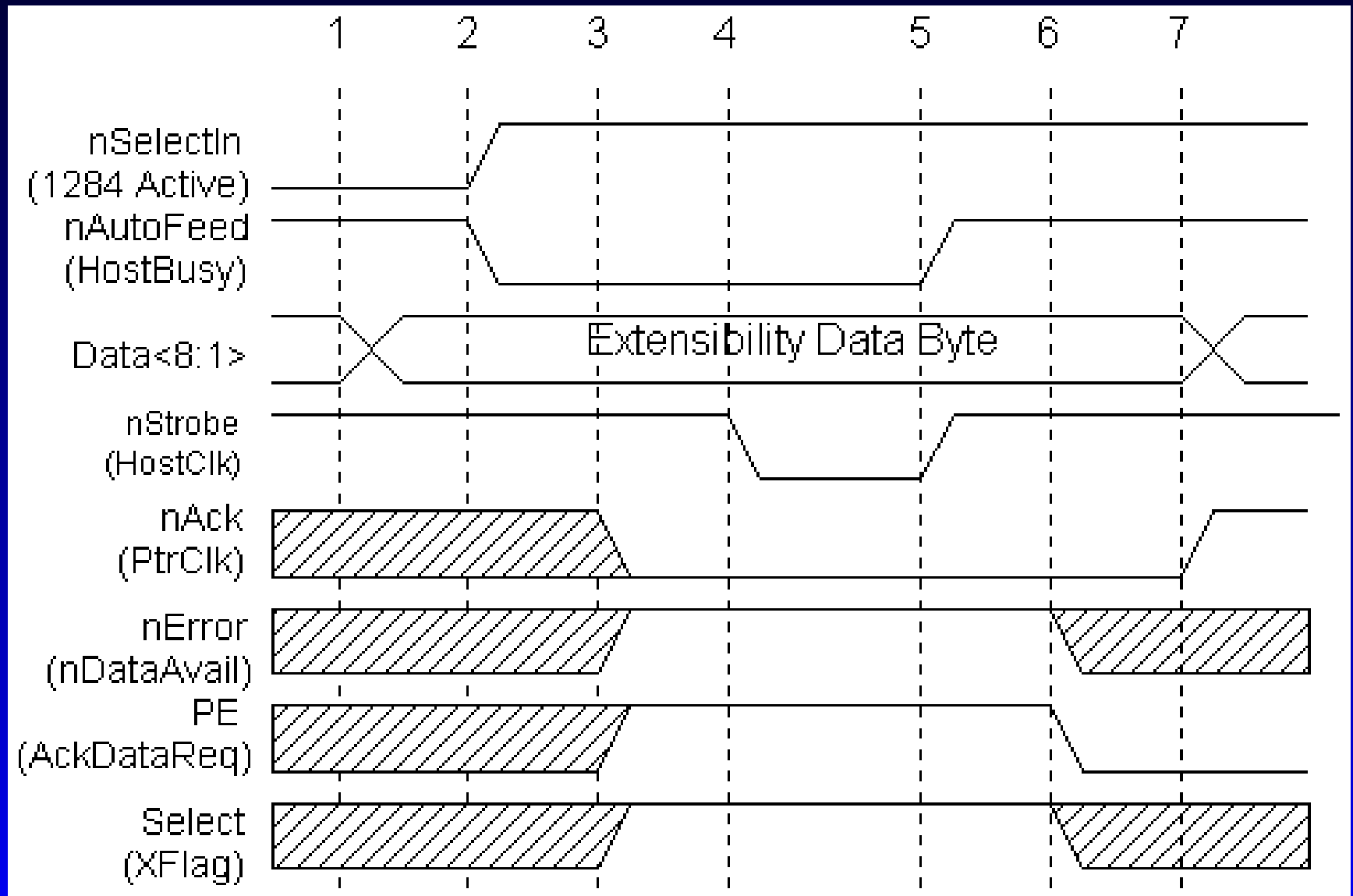
Registrador de Configuração Estendido

Bit 2: 0=desabilita DMA e interrupções, 1=habilita

Bit 1: FIFO full

Bit 0: FIFO empty

Negociação de Modo





Negociação de Modo

- Extensibility data byte
 - Solicitação para o periférico entrar em determinado modo de operação
 - Solicitação para o periférico retornar o seu deviceID
 - Indica que modo o periférico deve utilizar para responder

Negociação de Modo



Extensibility byte	Definição
0001 0000	Modo ECP
0001 0100	ECP Device ID
0011 0000	Modo ECP com RLE
0010 0100	ECP Device ID com RLE
