



Introdução

Walter Fetter Lages

w.fetter@ieee.org

Universidade Federal do Rio Grande do Sul

Escola de Engenharia

Departamento de Engenharia Elétrica

Microprocessadores II



Introdução

- IBM PC
 - Lançado em 1981, processador 8088 a 4.77MHz
- IBM PC-XT
 - Lançado em 1983, processador 8088
- IBM PC-Jr
 - Lançado em 1983, processador 80186
- IBM PC-AT
 - Lançado em 1984, processador 80286
- PC XT-286
 - Arquitetura do XT com processador 80286



PC

- IA-32
 - 386DX, 386SX
 - 486DX, 486SX
 - 486DX2, 486DX4
 - Pentium, Pentium MMX
 - Pentium Pro
 - Pentium II, Celeron
 - Pentium III, Celeron, Xeon
 - Pentium 4, Pentium 4 D, Celeron, Xeon
 - Core Duo, Centrino
 - Core 2 Duo, Core 2 Quad, Centrino
 - EM64T, x86_64
 - EM64T \neq IA64

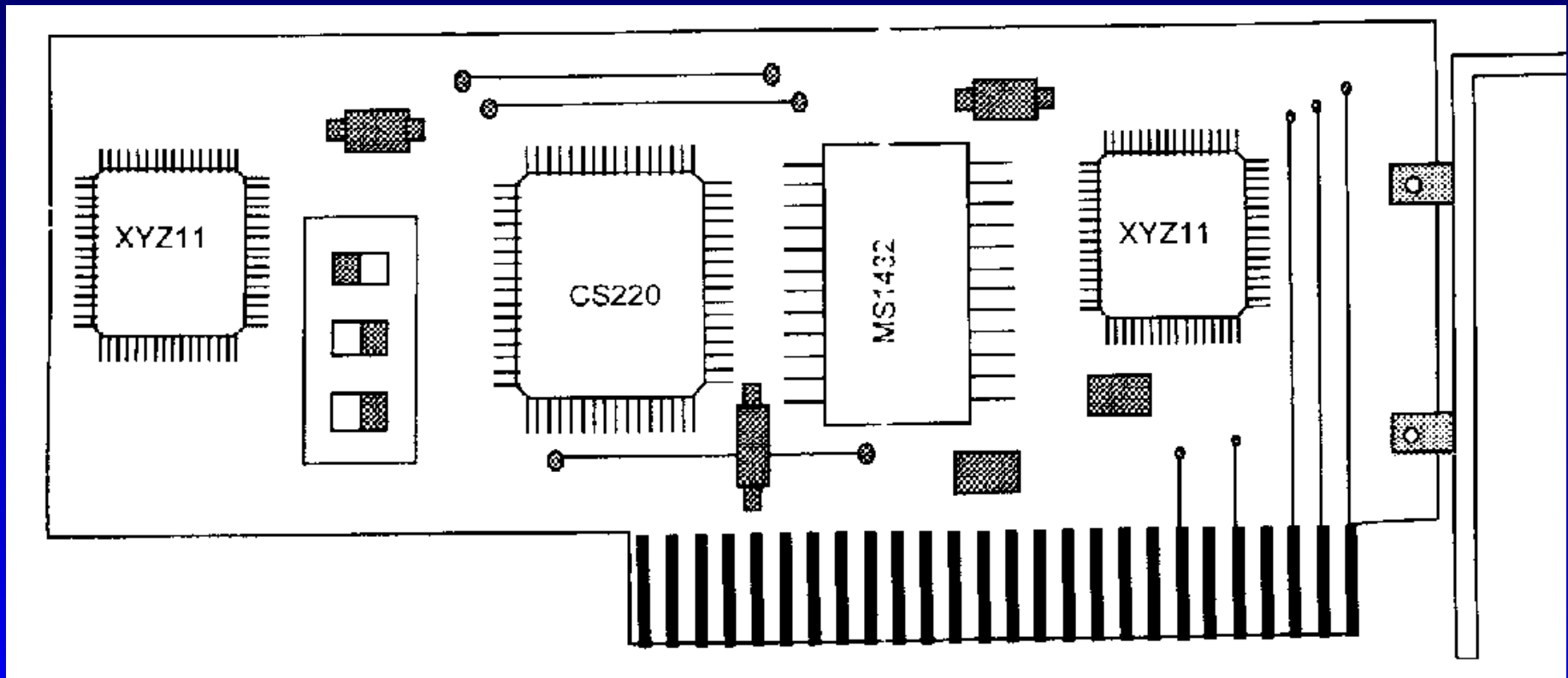


PC

- AMD
 - 5x86, K5, 6x86
 - K6, K6II, K6III
 - Athlon, Duron, K7
 - Athlon XP, Sempron, Turion
 - AMD Athlon 64, Turion 64
 - AMD64, x86_64
 - AMD64 \approx EM64T
 - AMD Athlon 64 X2, Turion 64 X2
 - AMD64, x86_64
- Transmeta Crusoe
- Cyrix
 - 5x86
 - M1

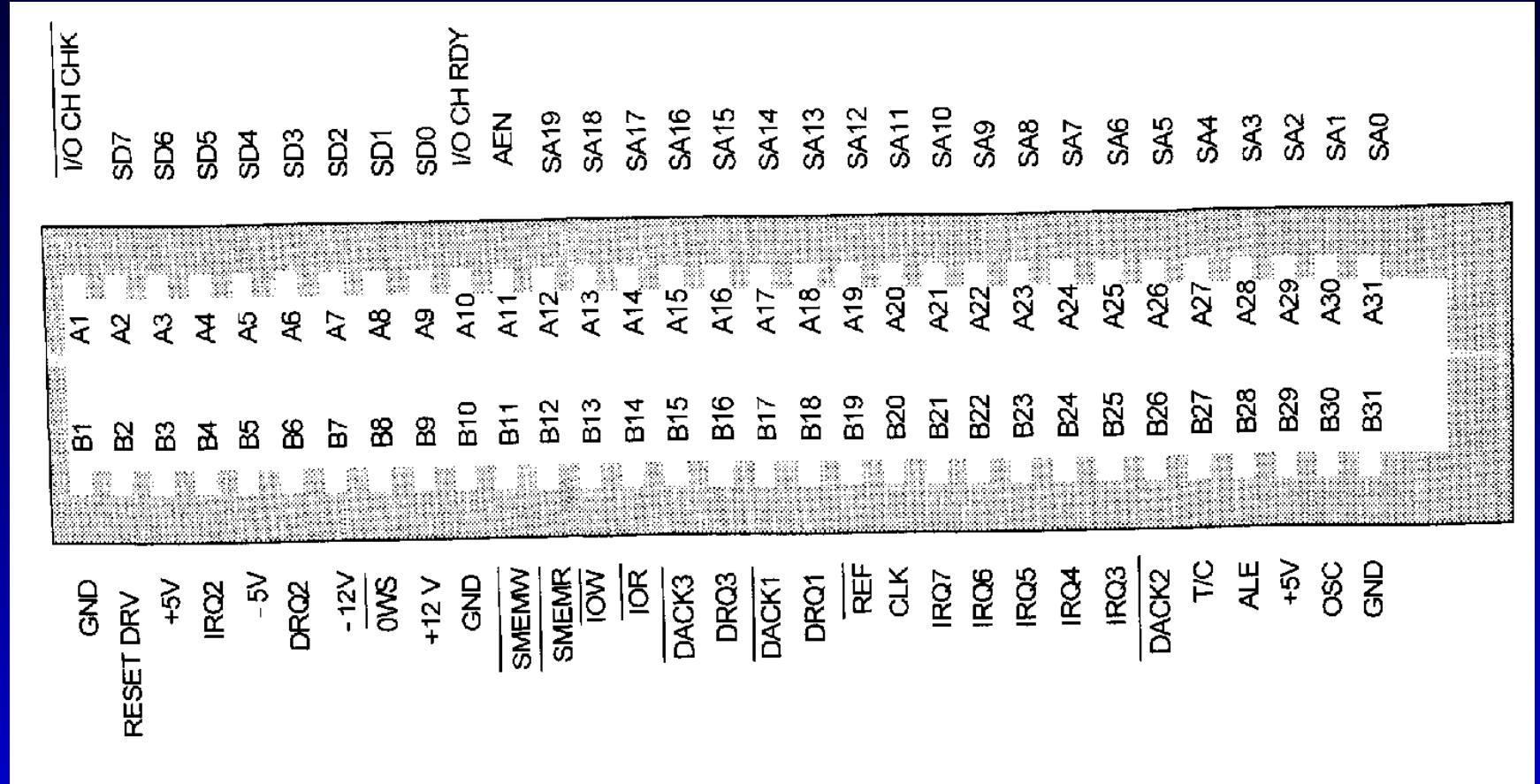
XT-bus

- 8 bits de dados
- 20 bits de endereços
- 4.77MHz





Conector XT-bus



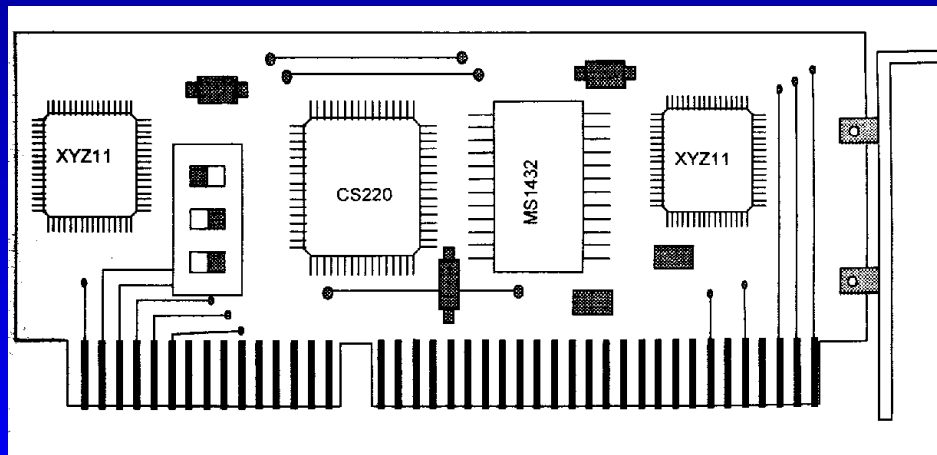


XT-bus

- +5V, -5V, +12V, -12V
- 6 níveis de interrupção
- 3 canais de DMA
- Oscilador de 14.31818MHz (*clock* × 3)
- Driver de reset
- Sinal 0 *wait-states*

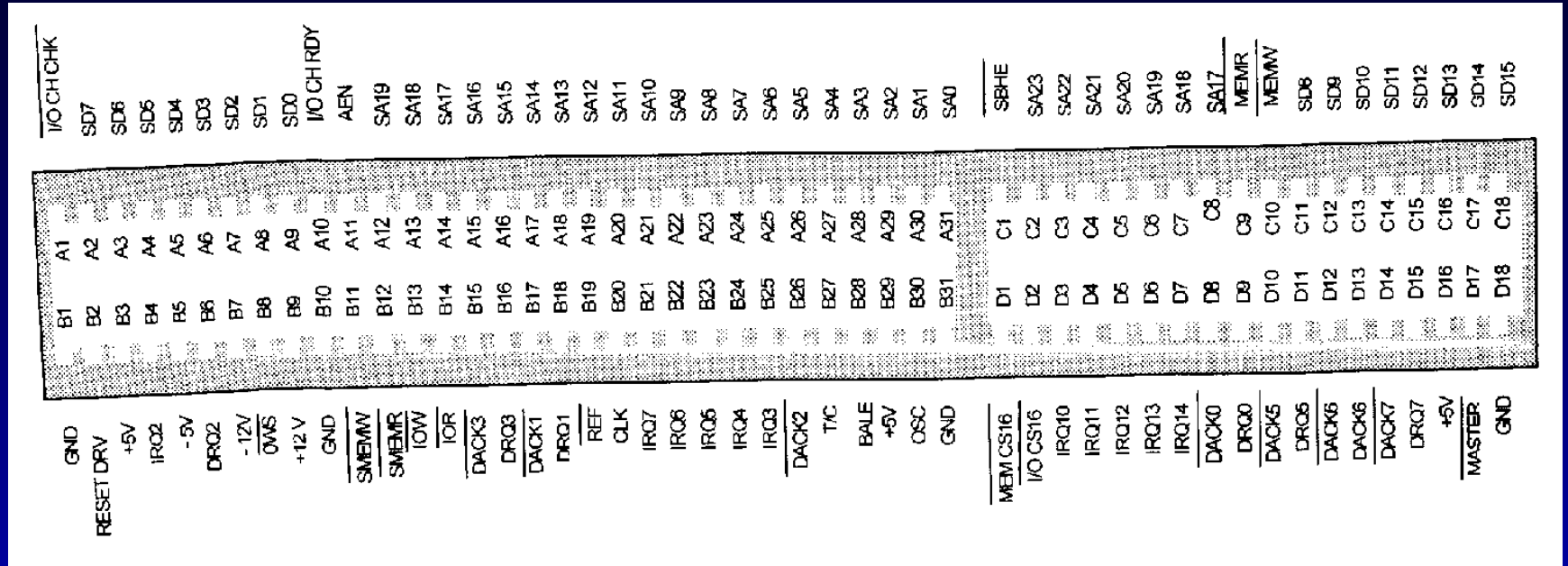
Industry Standard Architecture

- 8/16 bits de dados
- 24 bits de endereços
- 8MHz
- Suporte a bus-master
- 7 canais de DMA
- 10 níveis de interrupção





Slot ISA



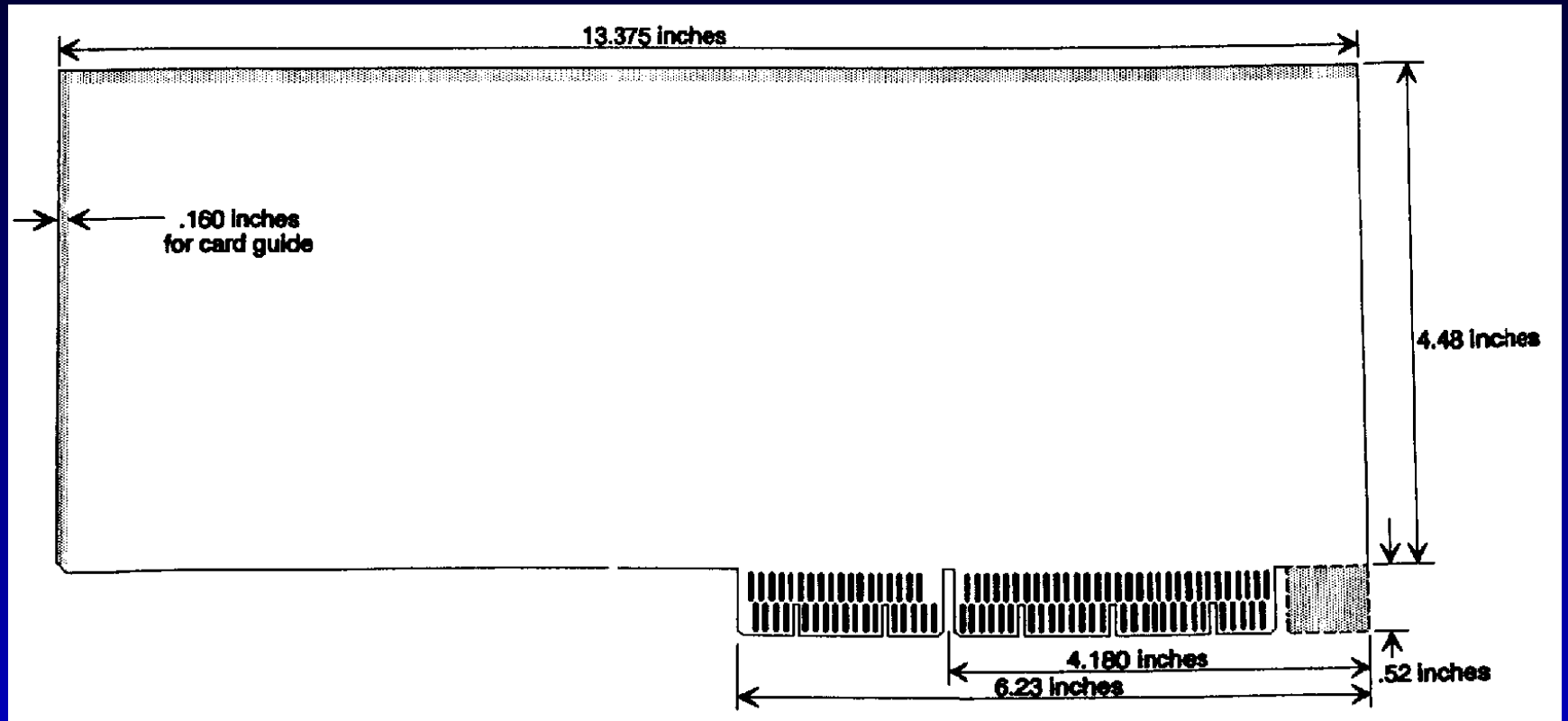


Enhanced ISA (EISA)

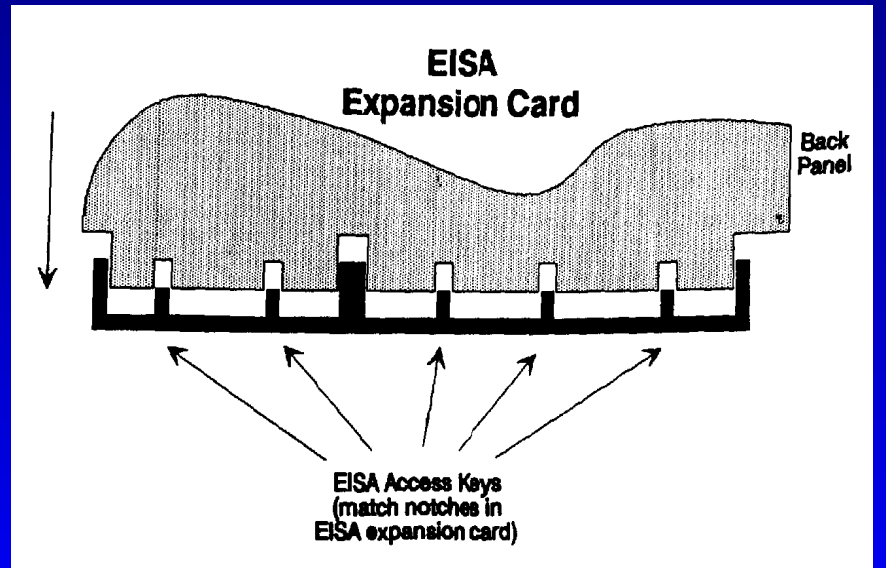
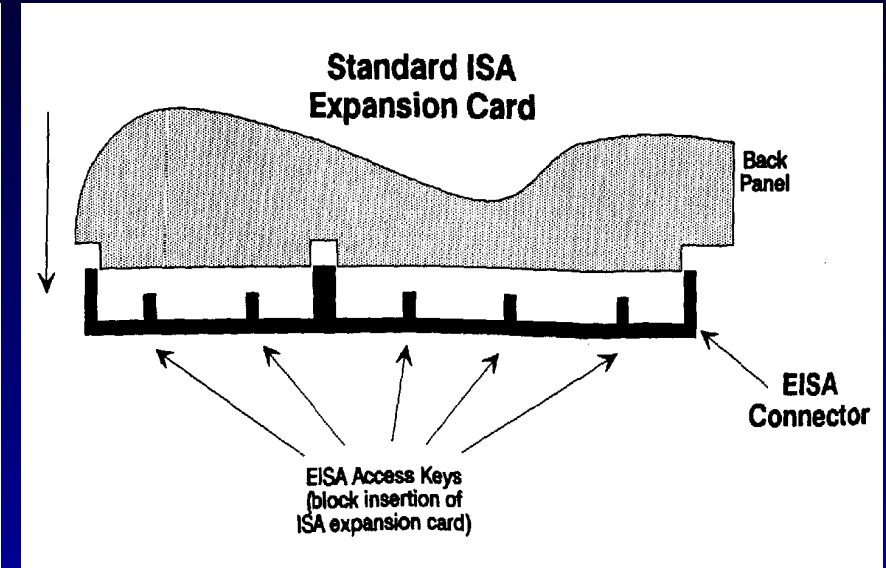
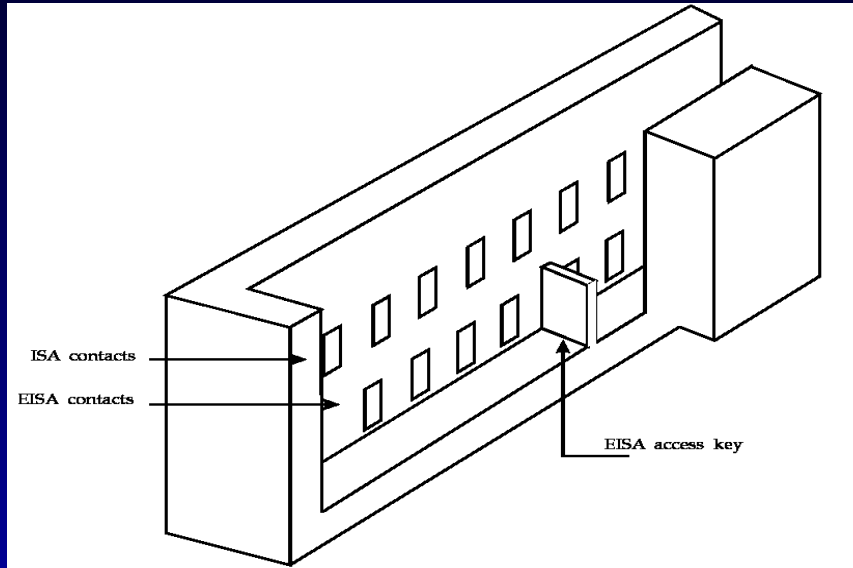
- 32 bits de dados
- 32 bits de endereços
- 8MHz
- Bus-master
- Arbitragem
- Configuração automática
- Interrupções nível ou borda compartilháveis
- DMA compartilhável
- Lock do barramento
- Espaço de I/O específico para cada slot



Placa EISA

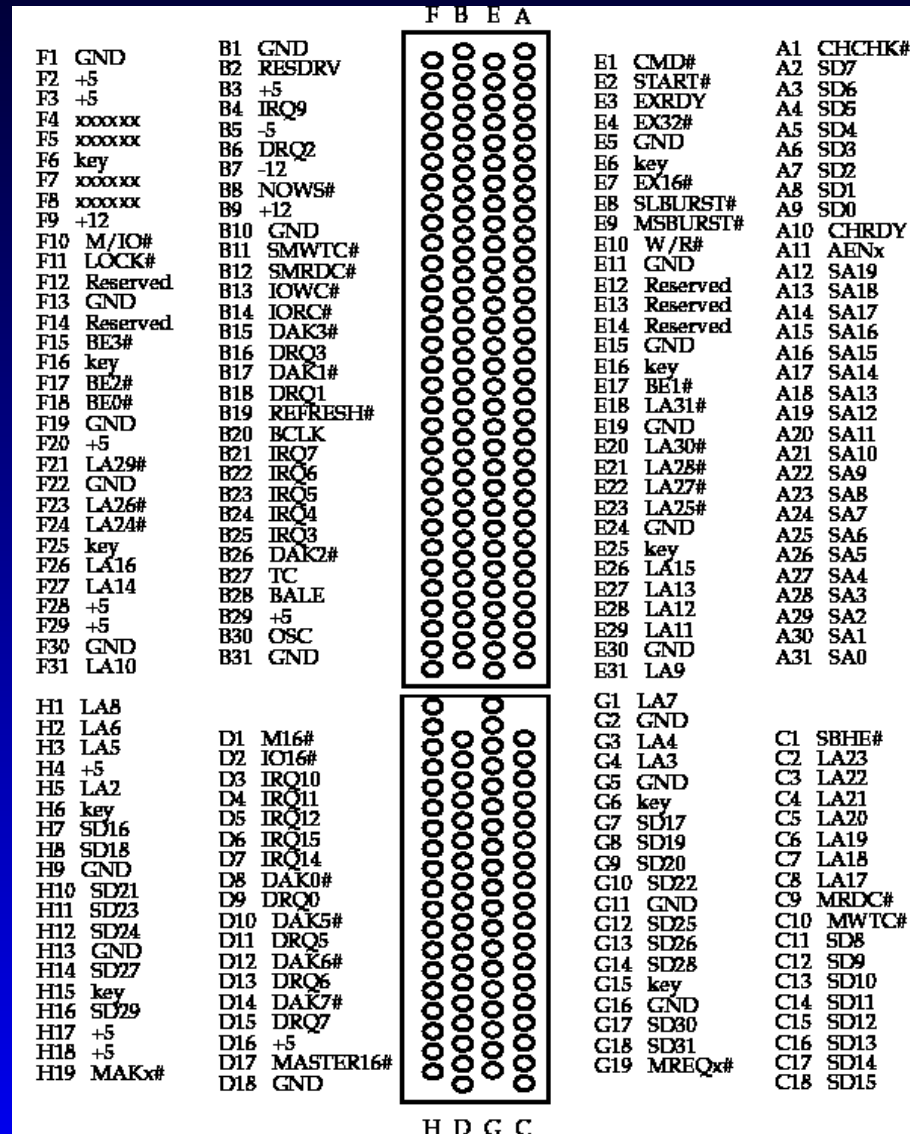


Slot EISA





Pinagem EISA





VESA Local Bus

- 32 bits de dados
- 32 bits de endereços
- 25-40MHz
- Bus-master
- Limitado a 2 ou 3 slots



Pinagem VLB

Back Side pin assignment	Component Side pin assignment	Back Side pin assignment	Component Side pin assignment
B1 Dat00	A1 Dat01	B30 Adr17	A30 Adr16
B2 Dat02	A2 Dat03	B31 Adr15	A31 Adr14
B3 Dat04	A3 GND	B32 Vcc	A32 Adr12
B4 Dat06	A4 Dat05	B33 Adr13	A33 Adr10
B5 Dat08	A5 Dat07	B34 Adr11	A34 Adr08
B6 GND	A6 Dat09	B35 Adr09	A35 GND
B7 Dat10	A7 Dat11	B36 Adr07	A36 Adr06
B8 Dat12	A8 Dat13	B37 Adr05	A37 Adr04
B9 Vcc	A9 Dat15	B38 GND	A38 WBACK#
B10 Dat14	A10 GND	B39 Adr03	A39 BEO#
B11 Dat16	A11 Dat17	B40 Adr02	A40 Vcc
B12 Dat18	A12 Vcc	B41 n/c	A41 BE1#
B13 Dat20	A13 Dat19	B42 RESET#	A42 BE2#



Pinagem VLB

Back Side pin assignment	Component Side pin assignment	Back Side pin assignment	Component Side pin assignment
B14 GND	A14 Dat21	B43 DC#	A43 GND
B15 Dat22	A15 Dat23	B44 M/ID#	A44 BE3#
B16 Dat24	A16 Dat25	B45 W/R#	A45 ADS#
B17 Dat26	A17 GND		
B18 Dat28	A18 Dat27		
B19 Dat30	A19 Dat29	B48 RDYRTN#	A48 LRDY#
B20 Vcc	A20 Dat31	B49 GND	A49 LDEV<x>#
B21 Adr31	A21 Adr30	B50 IRQ9	A50 LREQ<x>#
B22 GND	A22 Adr28	B51 BRDY#	A51 GND
B23 Adr29	A23 Adr26	B52 BLAST#	A52 LGNT<x>#
B24 Adr27	A24 GND	B53 ID0	A53 Vcc
B25 Adr25	A25 Adr24	B54 ID1	A54 ID2
B26 Adr23	A26 Adr22	B55 GND	A55 ID3



Pinagem VLB

Back Side pin assignment	Component Side pin assignment	Back Side pin assignment	Component Side pin assignment
B27 Adr21	A27 Vcc	B56 LCLK	A56 ID4
B28 Adr19	A28 Adr20	B57 Vcc	A57 LKEN#
B29 GND	A29 Adr18	B58 LBS16#	A58 LEAD5#



Peripheral Component Interconnect

- Operação independente do processador
- 32 bits de dados (extensão para 64 bits)
- 32 bits de endereços (extensão para 64 bits)
- Suporta bus-master
- Arbitragem oculta
- Paridade
- Três espaços de endereçamento
- Configuração automática

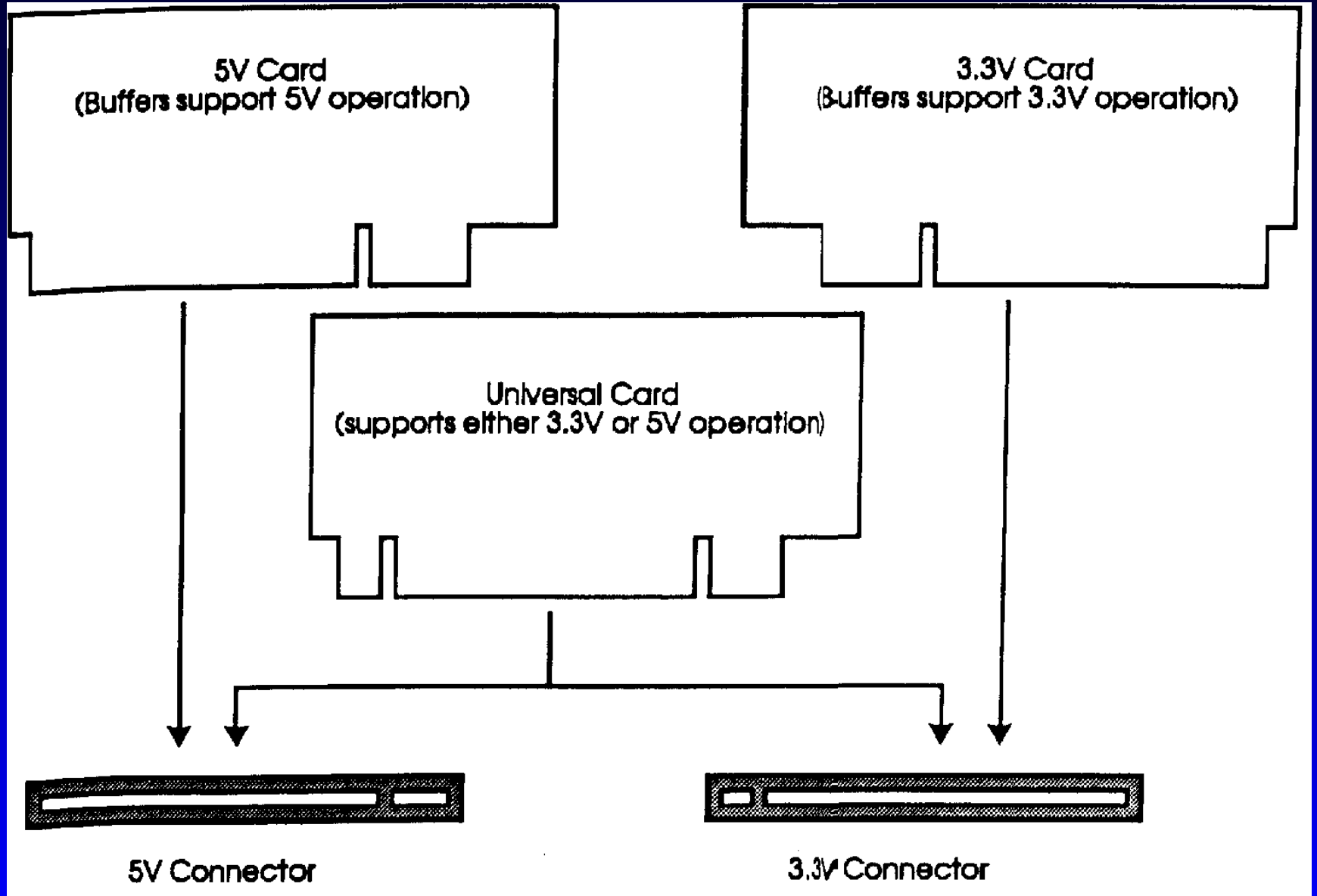


PCI

- Clock de 33MHz (extensão para 66MHz)
- 4 níveis de interrupção
- Pode-se ter um sistema com vários barramentos PCI interconectados através de bridges PCI/PCI
- Todos os barramentos são tratados de forma uniforme pela configuração automática



Slots PCI





Accelerated Graphics Port

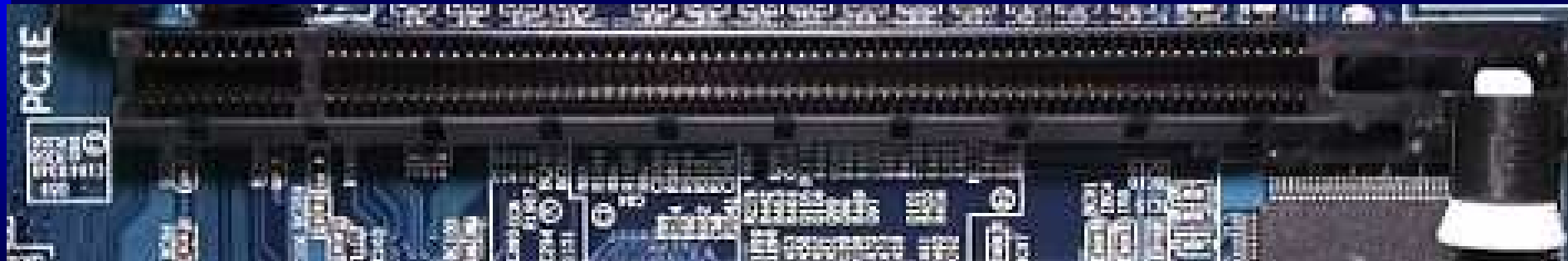
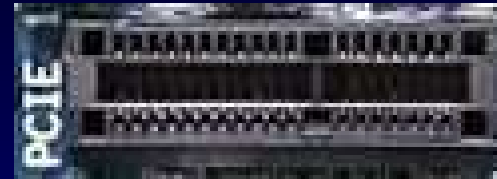
- AGP é baseado na versão de 66MHz do PCI
- 32 bits apenas, versões de 3.3V e 1.5V
- Barramento com um único initiator (placa AGP) e um único target (CPU/bridge PCI)
- Extensões:
 - Desacoplamento da fase de solicitação (endereçamento) da fase de dados
 - Podem ser utilizadas as bordas de subida e de descida dos strobes para transferir dados
 - Existem dois strobes



PCI Express

- Topologia *crossbar* ao invés de barramento
 - Conexões seriais ponto-a-ponto, chamadas *lanes*
- Cada *lane* suporta 250MB/s em cada direção (500 MB/s no PCIe 2.0)
- Cada *slot* pode ter 1, 2, 4, 8, 16 ou 32 *lanes*
- É possível ter-se *slots* com menos *lanes* conectadas do que o suportado fisicamente
 - O número de *lanes* realmente utilizadas é negociado entre os sistema e a placa
- Compatível com PCI no *software*

Slots PCIe



Slots PCIe

