



Introdução

Walter Fetter Lages

w.fetter@ieee.org

Universidade Federal do Rio Grande do Sul
Escola de Engenharia
Departamento de Engenharia Elétrica
Microprocessadores II



Introdução

- IBM PC
 - Lançado em 1981, processador 8088 a 4.77MHz
- IBM PC-XT
 - Lançado em 1983, processador 8088
- IBM PC-Jr
 - Lançado em 1983, processador 80186
- IBM PC-AT
 - Lançado em 1984, processador 80286
- PC XT-286
 - Arquitetura do XT com processador 80286



PC

- IA-32
 - 386DX, 386SX
 - 486DX, 486SX
 - 486DX2, 486DX4
 - Pentium, Pentium MMX
 - Pentium Pro
 - Pentium II, Celeron
 - Pentium III, Celeron, Xeon
 - Pentium 4, Pentium 4 D, Celeron, Xeon
 - Core Duo, Centrino
 - Core 2 Duo, Core 2 Quad, Centrino
 - EM64T, x86_64
 - EM64T \neq IA64



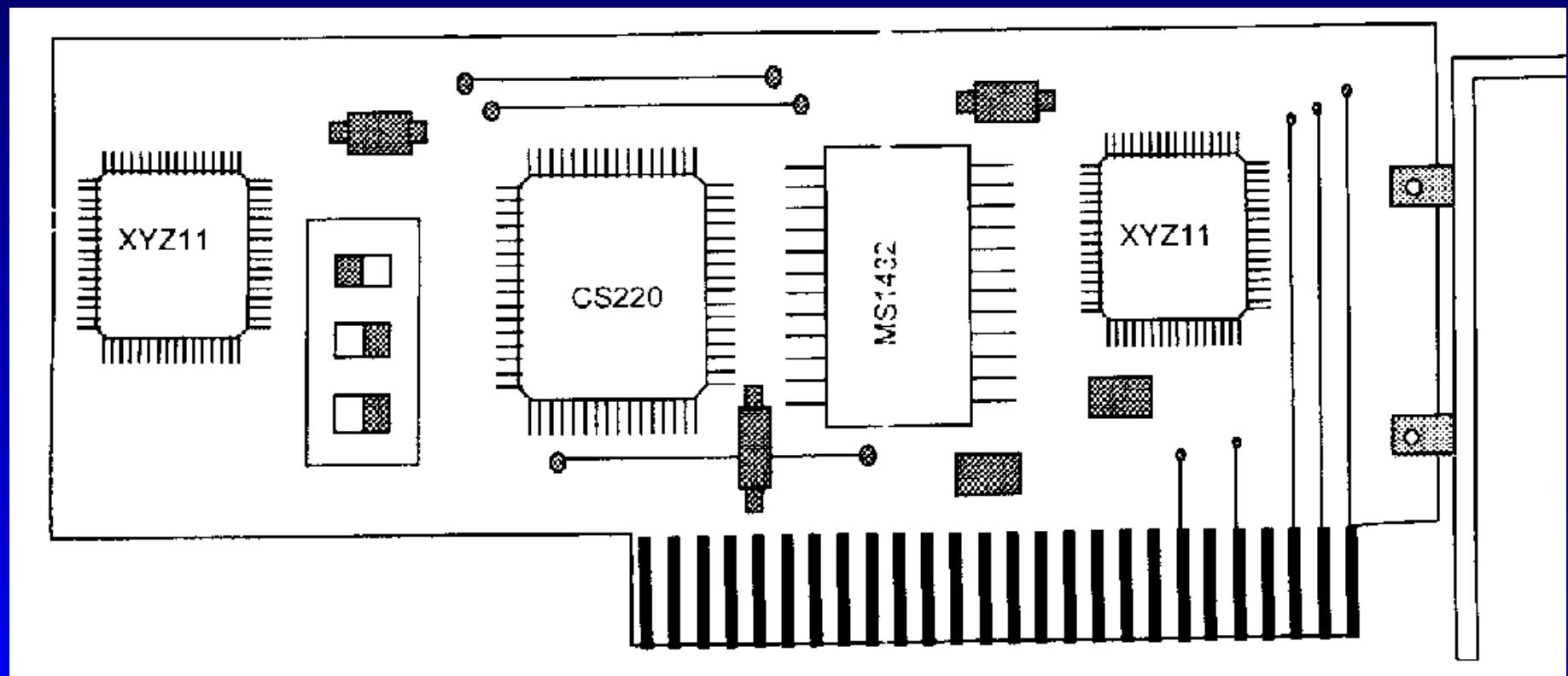
PC

- AMD
 - 5x86, K5, 6x86
 - K6, K6II, K6III
 - Athlon, Duron, K7
 - Athlon XP, Sempron, Turion
 - AMD Athlon 64, Turion 64
 - AMD64, x86_64
 - AMD64 ≈ EM64T
 - AMD Athlon 64 X2, Turion 64 X2
 - AMD64, x86_64
- Transmeta Crusoe
- Cyrix
 - 5x86
 - M1



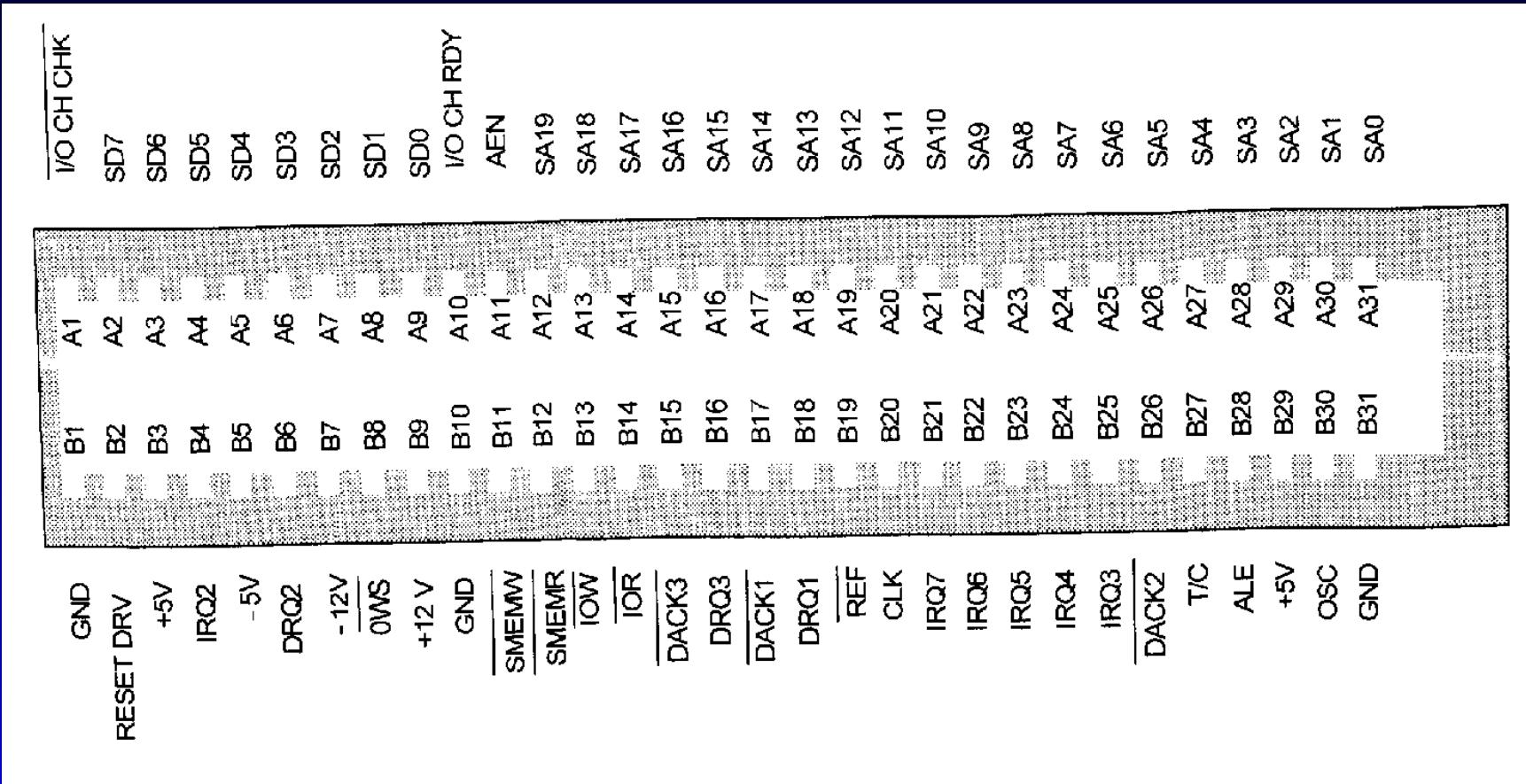
XT-bus

- 8 bits de dados
- 20 bits de endereços
- 4.77MHz





Conektor XT-bus





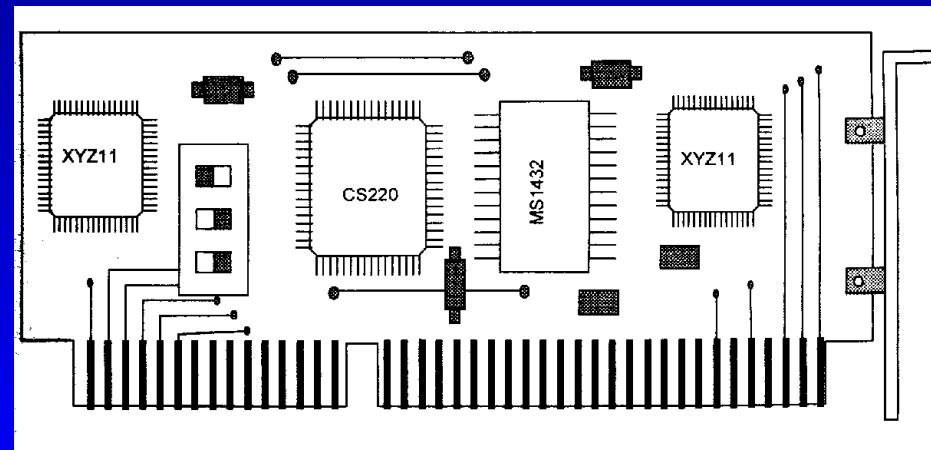
XT-bus

- +5V, -5V, +12V, -12V
- 6 níveis de interrupção
- 3 canais de DMA
- Oscilador de 14.31818MHz (*clock* × 3)
- Driver de reset
- Sinal 0 *wait-states*



Industry Standard Architecture

- 8/16 bits de dados
- 24 bits de endereços
- 8MHz
- Suporte a bus-master
- 7 canais de DMA
- 10 níveis de interrupção





Slot ISA

	I/O CH CLK		
GND	B1	A1	SD7
RESET DRV	B2	A2	SD6
+5V	B3	A3	SD5
IRQ02	B4	A4	SD4
-5V	B5	A5	SD3
DRQ02	B6	A6	SD2
-12V	B7	A7	SD1
0W8	B8	A8	S00
+12V	B9	A9	I/O CH RDY
GND	B10	A10	AEN
<u>SMEM/R</u>		B11	A11
<u>SMEM/W</u>		B12	A12
IOW	B13	A13	SA18
IOR	B14	A14	SA17
DACK3	B15	A15	SA16
DRQ3	B16	A16	SA15
DACK1	B17	A17	SA14
IRQ01	B18	A18	SA13
REF	B19	A19	SA12
CLK	E20	A20	SA11
IRQ07	E21	A21	SA10
IRQ06	E22	A22	SA9
IRQ05	E23	A23	SA8
IRQ04	E24	A24	SA7
IRQ03	E25	A25	SA6
DACK2	E26	A26	SA5
T/C	E27	A27	SA4
BALE	E28	A28	SA3
+5V	E29	A29	SA2
OSC	E30	A30	SA1
GND	E31	A31	SA0
<u>MEM CS16</u>		D1	SBHE
I/O CS16	D2	C2	SA23
IRQ10	D3	C3	SA22
IRQ11	D4	C4	SA21
IRQ12	D5	C5	SA20
IRQ13	D6	C6	SA19
IRQ14	D7	C7	SA18
DACK0	D8	C8	SA17
DRQ0	D9	C9	<u>MEMR</u>
DACK5	D10	C10	<u>MEMW</u>
DRQ5	D11	C11	SD8
DACK6	D12	C12	SD9
DRQ6	D13	C13	SD10
DACK7	D14	C14	SD11
DRQ7	D15	C15	SD12
+5V	D16	C16	SD13
MASTER	D17	C17	SD14
GND	D18	C18	SD15

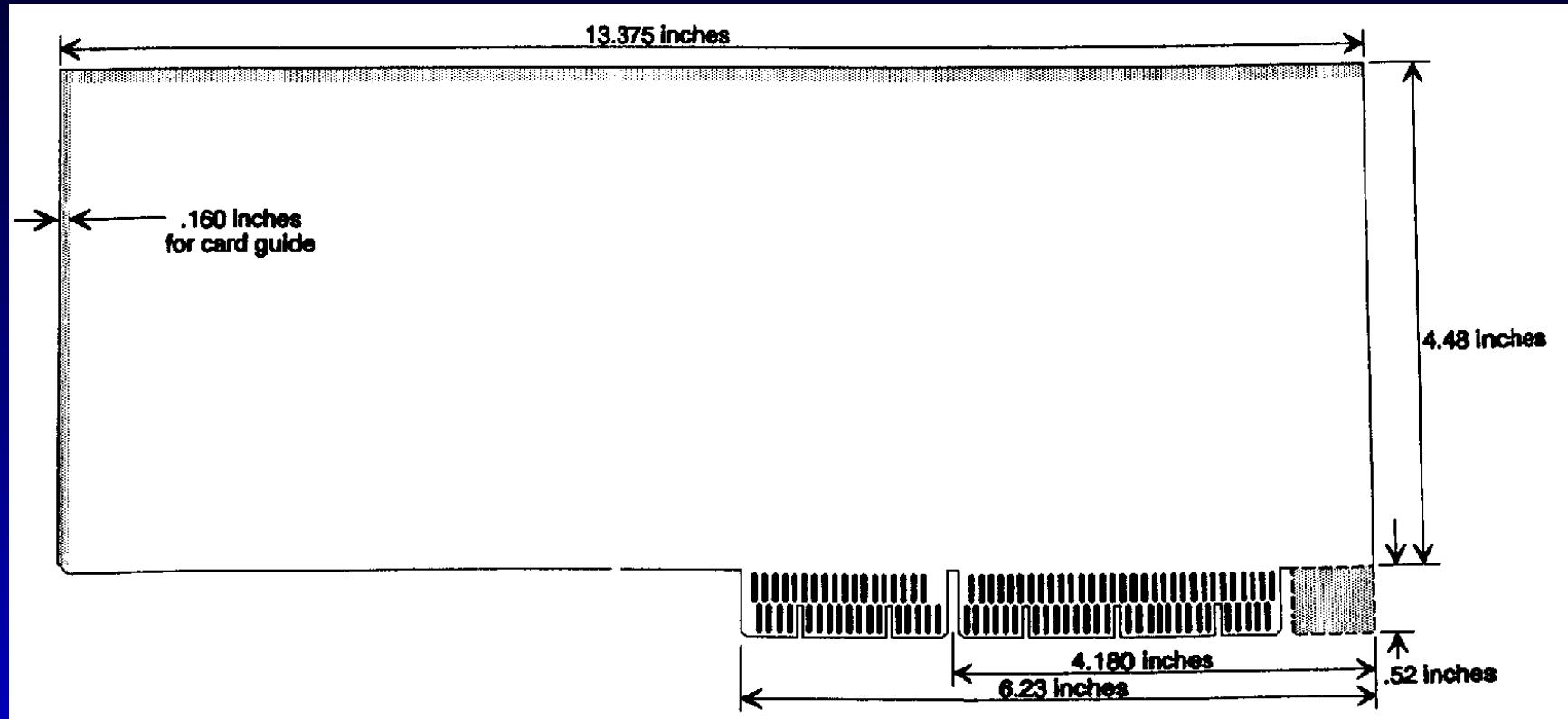


Enhanced ISA (EISA)

- 32 bits de dados
- 32 bits de endereços
- 8MHz
- Bus-master
- Arbitragem
- Configuração automática
- Interrupções nível ou borda compartilháveis
- DMA compartilhável
- Lock do barramento
- Espaço de I/O específico para cada slot

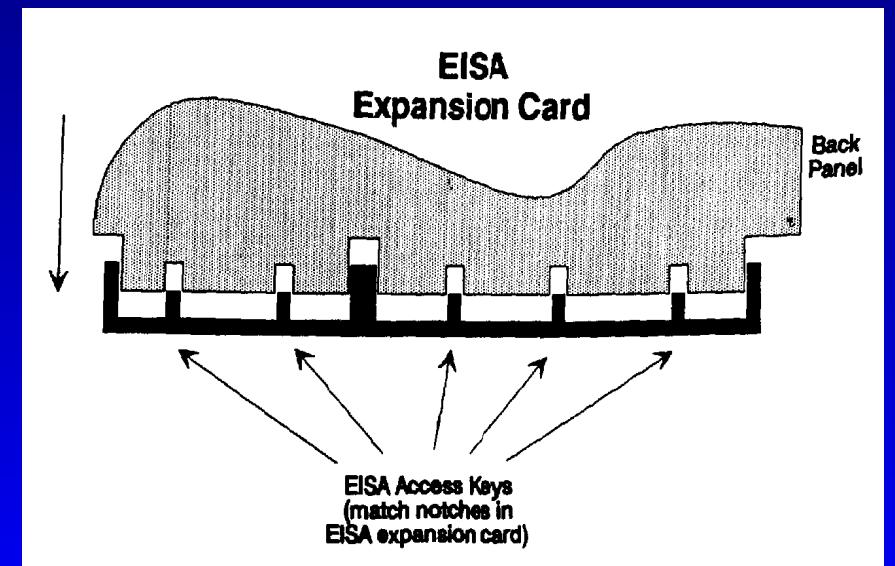
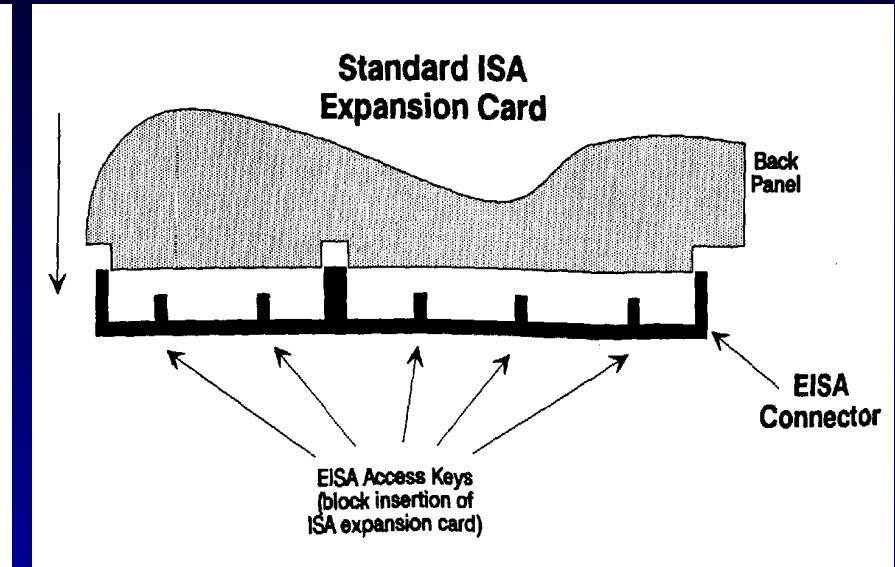
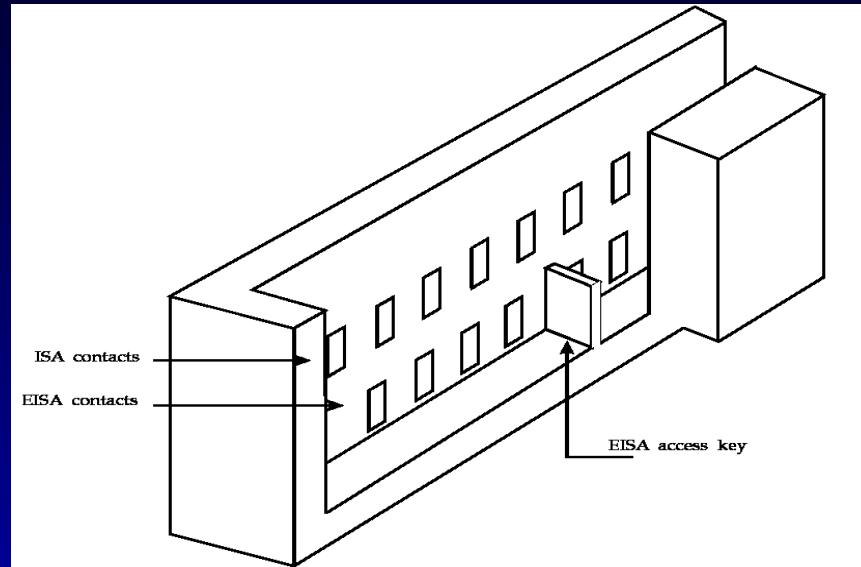


Placa EISA





Slot EISA





Pinagem EISA

		F	B	E	A				
F1	GND	B1	GND			E1	CMD#	A1	CHCHK#
F2	+5	B2	RESDRV			E2	START#	A2	SD7
F3	+5	B3	+5			E3	EXRDY	A3	SD6
F4	xxxxxx	B4	IRQ9			E4	EX32#	A4	SD5
F5	xxxxxx	B5	-5			E5	GND	A5	SD4
F6	key	B6	DRQ2			E6	key	A6	SD3
F7	xxxxxx	B7	-12			E7	EX16#	A7	SD2
F8	xxxxxx	B8	NOWS#			E8	SLBURST#	A8	SD1
F9	+12	B9	+12			E9	MSBURST#	A9	SD0
F10	M/IO#	B10	GND			E10	W/R#	A10	CHRDY
F11	LOCK#	B11	SMWTC#			E11	GND	A11	AENx
F12	Reserved	B12	SMRDC#			E12	Reserved	A12	SA19
F13	GND	B13	IOWC#			E13	Reserved	A13	SA18
F14	Reserved	B14	IORC#			E14	Reserved	A14	SA17
F15	BE3#	B15	DAK3#			E15	GND	A15	SA16
F16	key	B16	DRQ3			E16	key	A16	SA15
F17	BE2#	B17	DAK1#			E17	BE1#	A17	SA14
F18	BE0#	B18	DRQ1			E18	LA31#	A18	SA13
F19	GND	B19	REFRESH#			E19	GND	A19	SA12
F20	+5	B20	BCLK			E20	LA30#	A20	SA11
F21	LA29#	B21	IRQ7			E21	LA28#	A21	SA10
F22	GND	B22	IRQ6			E22	LA27#	A22	SA9
F23	LA26#	B23	IRQ5			E23	LA25#	A23	SAB
F24	LA24#	B24	IRQ4			E24	GND	A24	SA7
F25	key	B25	IRQ3			E25	key	A25	SA6
F26	LA16	B26	DAK2#			E26	LA15	A26	SA5
F27	LA14	B27	TC			E27	LA13	A27	SA4
F28	+5	B28	BALE			E28	LA12	A28	SA3
F29	+5	B29	+5			E29	LA11	A29	SA2
F30	GND	B30	OSC			E30	GND	A30	SA1
F31	LA10	B31	GND			E31	LA9	A31	SA0
H1	LA8					G1	LA7		
H2	LA6					G2	GND		
H3	LA5	D1	M16#			G3	LA4	C1	SBHE#
H4	+5	D2	IO16#			G4	LA3	C2	LA23
H5	LA2	D3	IRQ10			G5	GND	C3	LA22
H6	key	D4	IRQ11			G6	key	C4	LA21
H7	SD16	D5	IRQ12			G7	SD17	C5	LA20
H8	SD18	D6	IRQ15			G8	SD19	C6	LA19
H9	GND	D7	IRQ14			G9	SD20	C7	LA18
H10	SD21	D8	DAK0#			G10	SD22	C8	LA17
H11	SD23	D9	DRQ0			G11	GND	C9	MRDC#
H12	SD24	D10	DAK5#			G12	SD25	C10	MWTC#
H13	GND	D11	DRQ5			G13	SD26	C11	SD8
H14	SD27	D12	DAK6#			G14	SD28	C12	SD9
H15	key	D13	DRQ6			G15	key	C13	SD10
H16	SD29	D14	DAK7#			G16	GND	C14	SD11
H17	+5	D15	DRQ7			G17	SD30	C15	SD12
H18	+5	D16	+5			G18	SD31	C16	SD13
H19	MAKx#	D17	MASTER16#			G19	MREQx#	C17	SD14
		D18	GND					C18	SD15
				H	D	G	C		



VESA Local Bus

- 32 bits de dados
- 32 bits de endereços
- 25-40MHz
- Bus-master
- Limitado a 2 ou 3 slots



Pinagem VLB

Back Side pin assignment	Component Side pin assignment	Back Side pin assignment	Component Side pin assignment
B1 Dat00	A1 Dat01	B30 Adr17	A30 Adr16
B2 Dat02	A2 Dat03	B31 Adr15	A31 Adr14
B3 Dat04	A3 GND	B32 Vcc	A32 Adr12
B4 Dat06	A4 Dat05	B33 Adr13	A33 Adr10
B5 Dat08	A5 Dat07	B34 Adr11	A34 Adr08
B6 GND	A6 Dat09	B35 Adr09	A35 GND
B7 Dat10	A7 Dat11	B36 Adr07	A36 Adr06
B8 Dat12	A8 Dat13	B37 Adr05	A37 Adr04
B9 Vcc	A9 Dat15	B38 GND	A38 WBACK#
B10 Dat14	A10 GND	B39 Adr03	A39 BEO#
B11 Dat16	A11 Dat17	B40 Adr02	A40 Vcc
B12 Dat18	A12 Vcc	B41 n/c	A41 BE1#
B13 Dat20	A13 Dat19	B42 RESET#	A42 BE2#



Pinagem VLB

Back Side pin assignment	Component Side pin assignment	Back Side pin assignment	Component Side pin assignment
B14 GND	A14 Dat21	B43 DC#	A43 GND
B15 Dat22	A15 Dat23	B44 M/ID#	A44 BE3#
B16 Dat24	A16 Dat25	B45 W/R#	A45 ADS#
B17 Dat26	A17 GND		
B18 Dat28	A18 Dat27		
B19 Dat30	A19 Dat29	B48 RDYRTN#	A48 LRDY#
B20 Vcc	A20 Dat31	B49 GND	A49 LDEV<x>#
B21 Adr31	A21 Adr30	B50 IRQ9	A50 LREQ<x>#
B22 GND	A22 Adr28	B51 BRDY#	A51 GND
B23 Adr29	A23 Adr26	B52 BLAST#	A52 LGNT<x>#
B24 Adr27	A24 GND	B53 ID0	A53 Vcc
B25 Adr25	A25 Adr24	B54 ID1	A54 ID2
B26 Adr23	A26 Adr22	B55 GND	A55 ID3



Pinagem VLB

Back Side pin assignment	Component Side pin assignment	Back Side pin assignment	Component Side pin assignment
B27 Adr21	A27 Vcc	B56 LCLK	A56 ID4
B28 Adr19	A28 Adr20	B57 Vcc	A57 LKEN#
B29 GND	A29 Adr18	B58 LBS16#	A58 LEAD5#



Peripheral Component Interconnect

- Operação independente do processador
- 32 bits de dados (extensão para 64 bits)
- 32 bits de endereços (extensão para 64 bits)
- Suporta bus-master
- Arbitragem oculta
- Paridade
- Três espaços de endereçamento
- Configuração automática

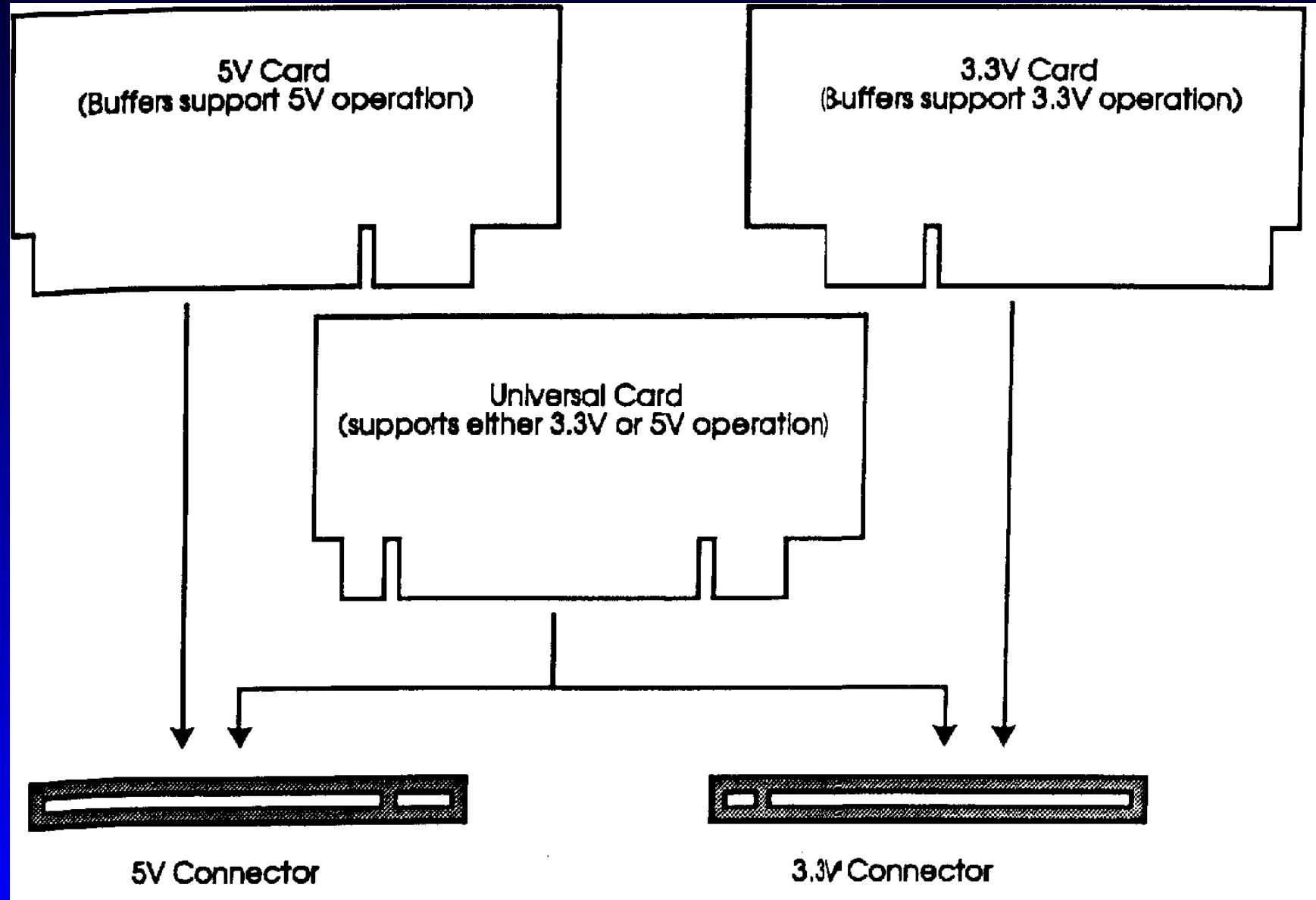


PCI

- Clock de 33MHz (extensão para 66MHz)
- 4 níveis de interrupção
- Pode-se ter um sistema com vários barramentos PCI interconectados através de bridges PCI/PCI
- Todos os barramentos são tratados de forma uniforme pela configuração automática



Slots PCI





Accelerated Graphics Port

- AGP é baseado na versão de 66MHz do PCI
- 32 bits apenas, versões de 3.3V e 1.5V
- Barramento com um único initiator (placa AGP) e um único target (CPU/bridge PCI)
- Extensões:
 - Desacoplamento da fase de solicitação (endereçamento) da fase de dados
 - Podem ser utilizadas as bordas de subida e de descida dos strobes para transferir dados
 - Existem dois strobes



PCI Express

- Topologia *crossbar* ao invés de barramento
 - Conexões seriais ponto-a-ponto, chamadas *lanes*
- Cada *lane* suporta 250MB/s em cada direção (500 MB/s no PCIe 2.0)
 - Cada *slot* pode ter 1, 2, 4, 8, 16 ou 32 *lanes*
 - É possível ter-se *slots* com menos *lanes* conectadas do que o suportado fisicamente
 - O número de *lanes* realmente utilizadas é negociado entre os sistema e a placa
- Compatível com PCI no *software*



Slots PCIe





Slots PCIe

