



Barramentos ISA/EISA/VLB

Walter Fetter Lages

w.fetter@ieee.org

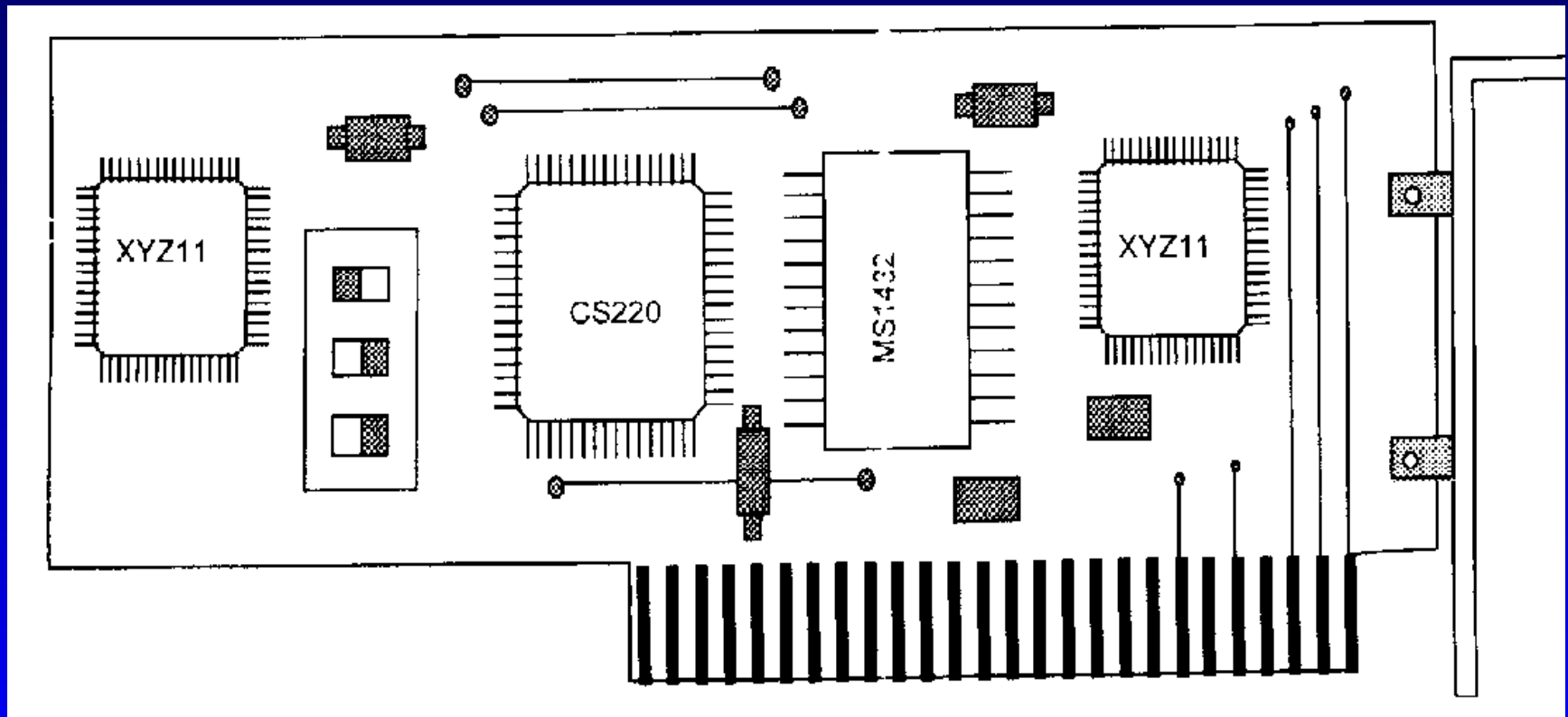
Universidade Federal do Rio Grande do Sul

Escola de Engenharia

Departamento de Engenharia Elétrica

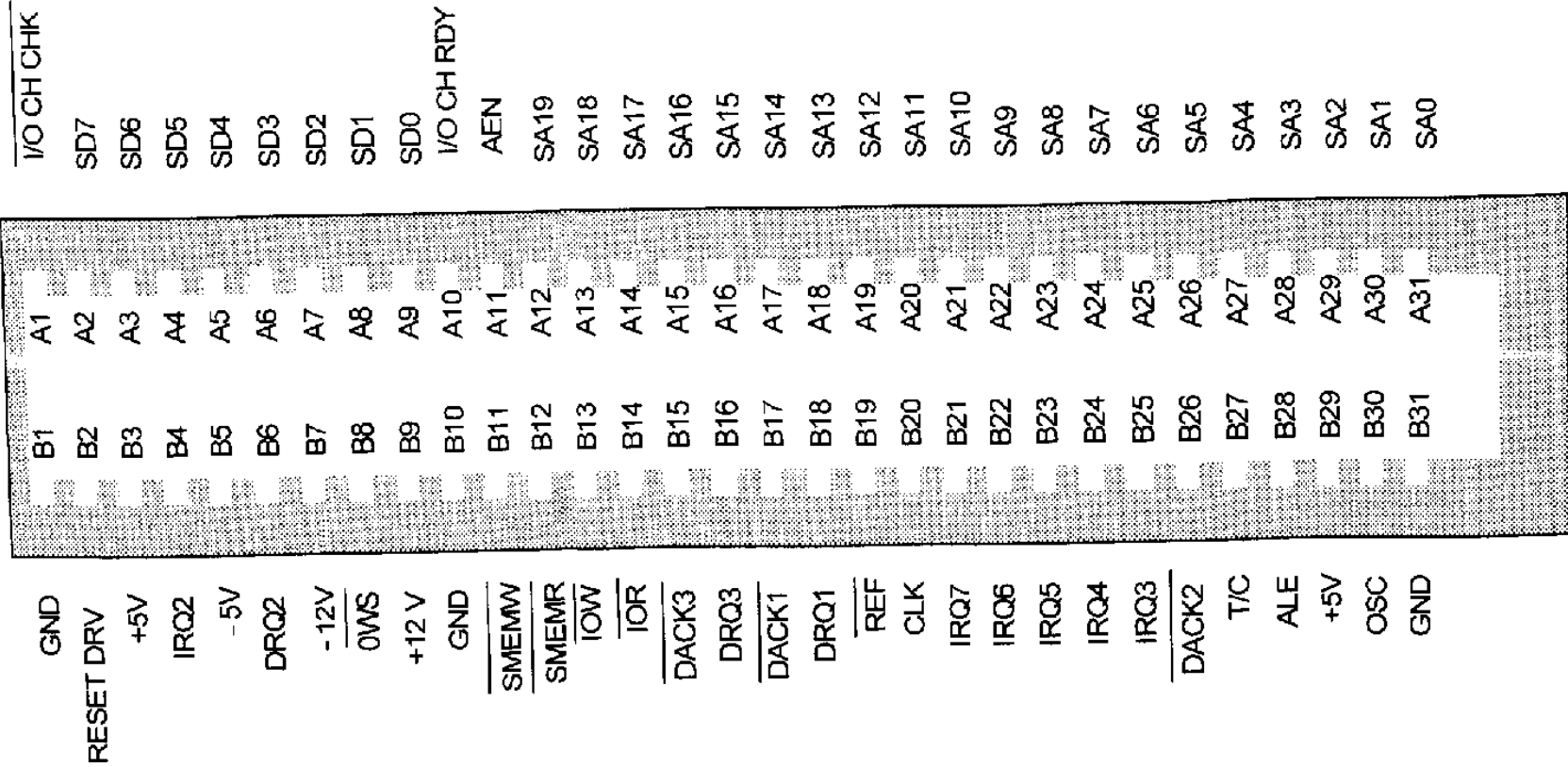
XT-bus

- 8 bits de dados
- 20 bits de endereços
- 4.77MHz





Conector XT-bus



Sinais do Barramento

SD7-SD0: (I/O) Barramento de dados

SA19-SA0: (O) Barramento de endereços

CLK: (O) Clock

ALE: (O) Habilitação do Latch de endereços

$\overline{\text{SMEMR}}$, $\overline{\text{SMEMW}}$: (O) Leitura e Escrita em memória

$\overline{\text{IOR}}$, $\overline{\text{IOW}}$: (O) Leitura e Escrita em I/O

$\overline{\text{OWS}}$: (I,OC) Força ciclo sem wait-states

I/O CH RDY: (I,OC) Dispositivo pronto para transferência



Interrupções

IRQ2-IRQ7: (I,OC) Requisição de interrupção

$\overline{I/O\ CH\ CHK}$: (I,OC) Indicação de erro

- Tipicamente erro de paridade
- Gera NMI



DMA

DRQ1-DRQ3: (I) Requisição de DMA

$\overline{\text{DAQ0}}$ ou $\overline{\text{REF}}$: (O) Refresh

$\overline{\text{DAQ2-DAQ3}}$: (O) Reconhecimento de DMA

AEN: (O) Habilitação de endereços de DMA

- Durante DMA $\overline{\text{IOR}}$ ou $\overline{\text{IOW}}$ estão ativos mas o endereço é de memória

T/C: (I/O) Fim da transferência de DMA



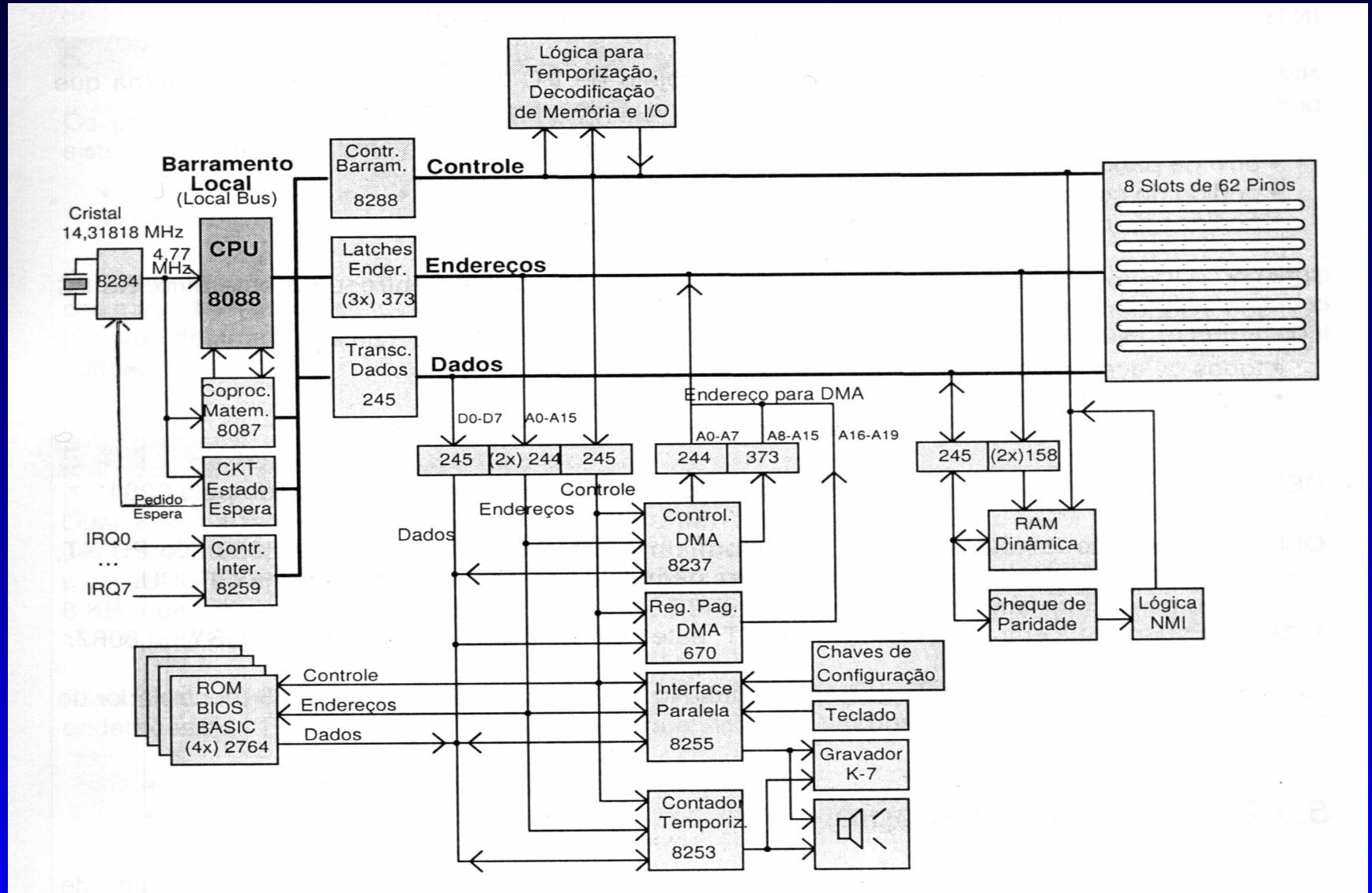
Outros

GND, +5V, -5V, +12V -12V

RESET DRV: (O) Driver de reset

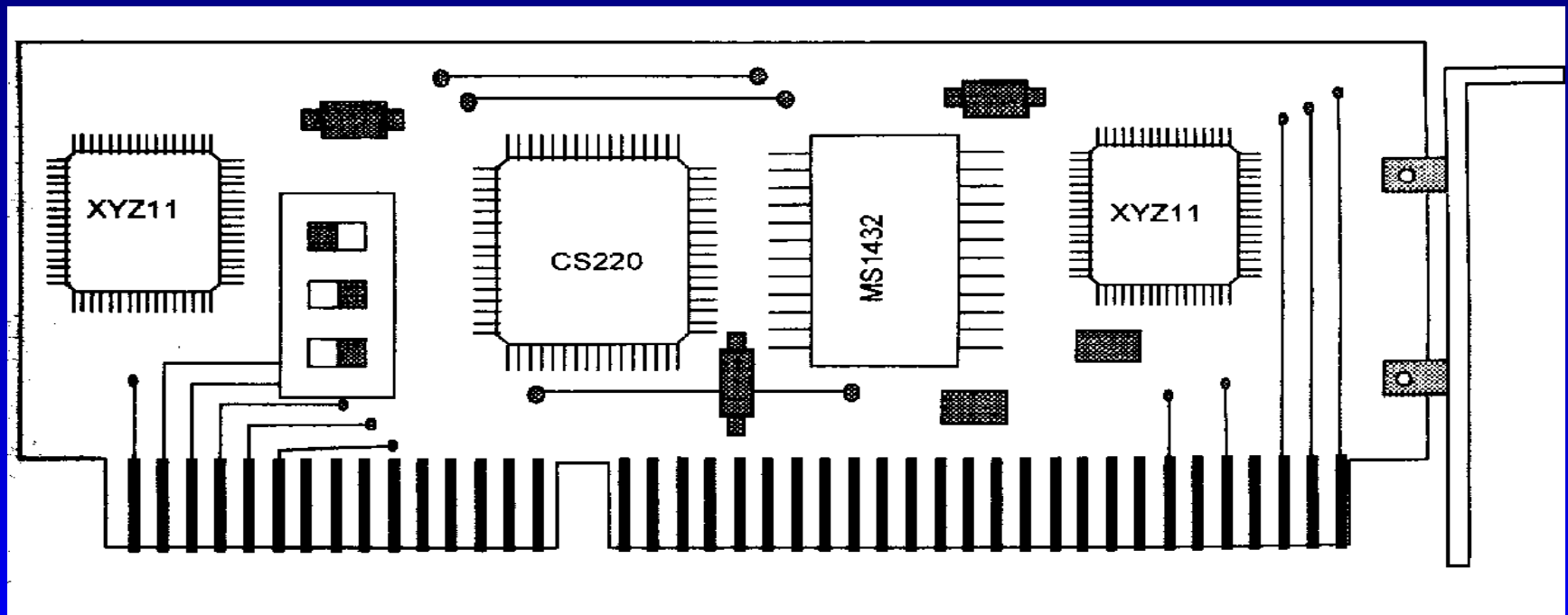
OSC: (O) Oscilador 14.318318MHz

Diagrama de Blocos



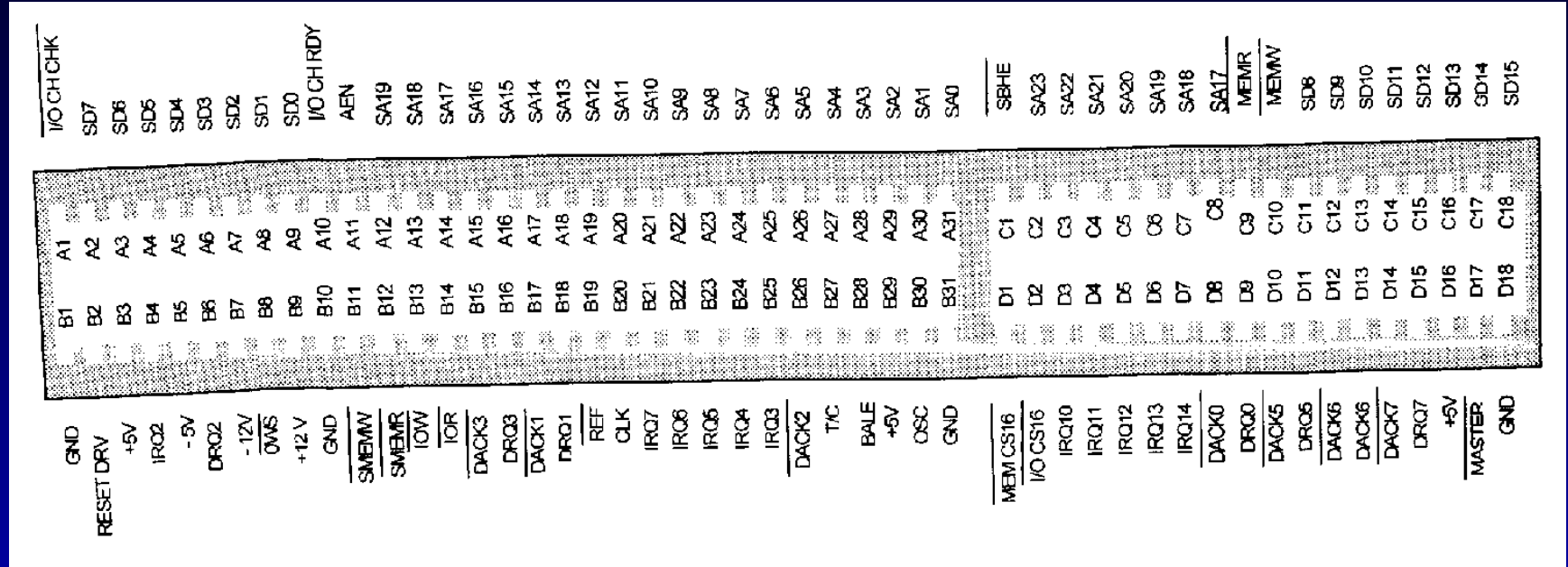
Industry Standard Architecture

- 8/16 bits de dados
- 24 bits de endereços
- 8MHz
- Suporte a bus-master





Slot ISA





Sinais ISA

- Sinais herdados do XT
 - Alguns tem a semântica alterada
 - SA19-SA0**: Passam a ser I/O
 - \overline{IOR} , \overline{IOW}** : Passam a ser I/O
 - \overline{SMEMR} , \overline{SMEMW}** : Ativos apenas em endereços abaixo de 1MB
 - \overline{REF}** : Não é mais gerado pelo $\overline{DACK0}$ e passa a ser I/O
 - $\overline{DACK0}$** : Passa a estar disponível no slot
 - IRQ2**: Não está mais disponível no slot. IRQ9 é conectada no local e redirecionada por software
- Sinais novos



Barramento ISA

SD15-SD8: (I/O) Barramento de dados

LA23-LA17: (I/O) Barramento de endereços
unlatched

$\overline{\text{MEMR}}, \overline{\text{MEMW}}$: (I/O) Leitura e Escrita em
memória

SBHE: (I/O) Habilita a parte alta dos dados

$\overline{\text{MEMCS16}}$: (I,OC) Indica que o dispositivo aceita
acesso de memória em 16 bits

$\overline{\text{IOCS16}}$: (I,OC) Indica que o dispositivo aceita
acesso de I/O em 16 bits

$\overline{\text{MASTER}}$: (I,OC) Indica que o dispositivo vai
assumir o controle do barramento

Interrupções e DMA

IRQ10-IRQ12, IRQ14,IRQ15: (I,OC) Requisição de interrupção

DRQ0, DRQ5-DRQ7: (I) Requisição de DMA

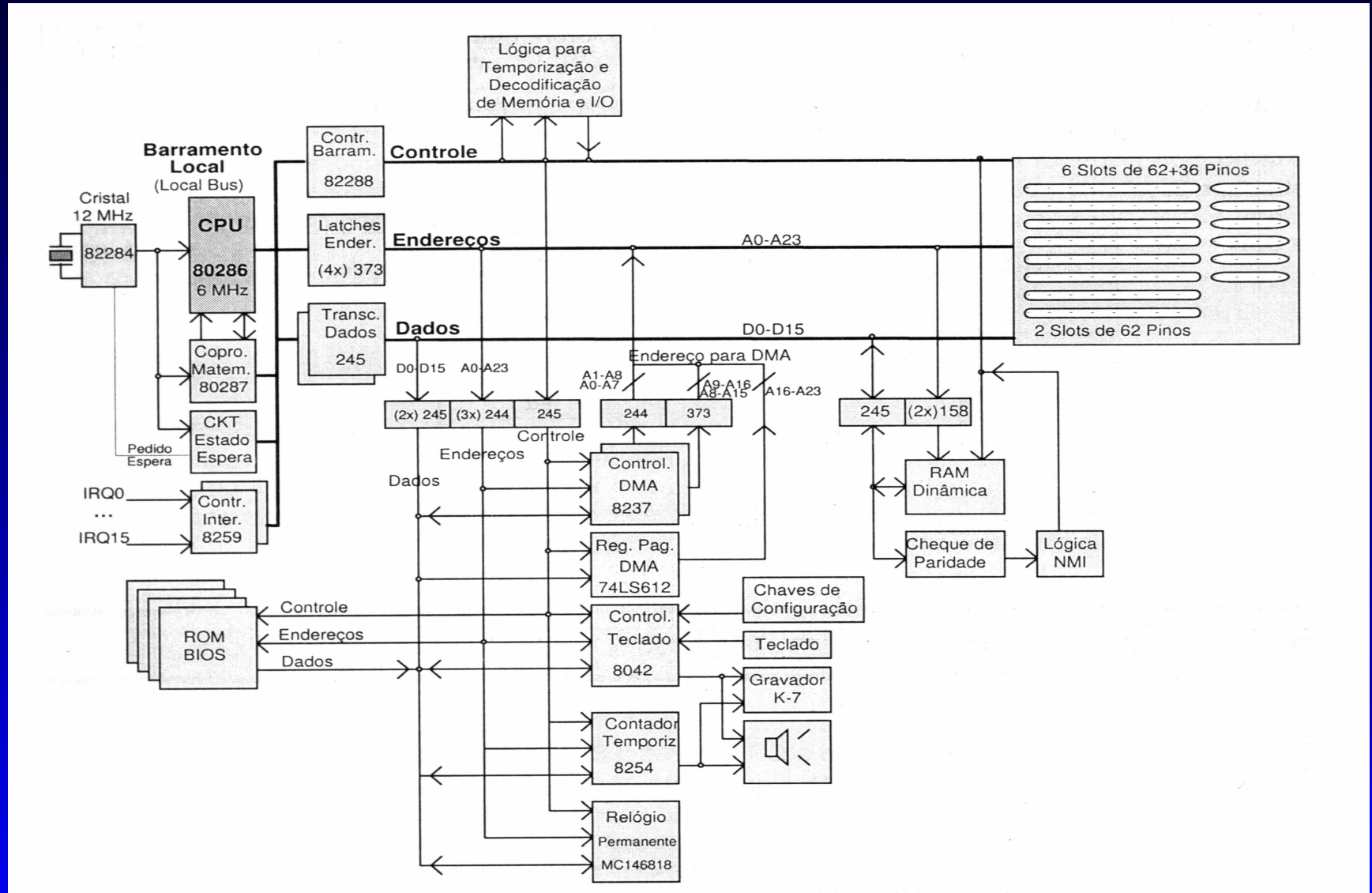
$\overline{\text{DACK0}}, \overline{\text{DACK5}}-\overline{\text{DACK7}}$: (O) Reconhecimento de DMA



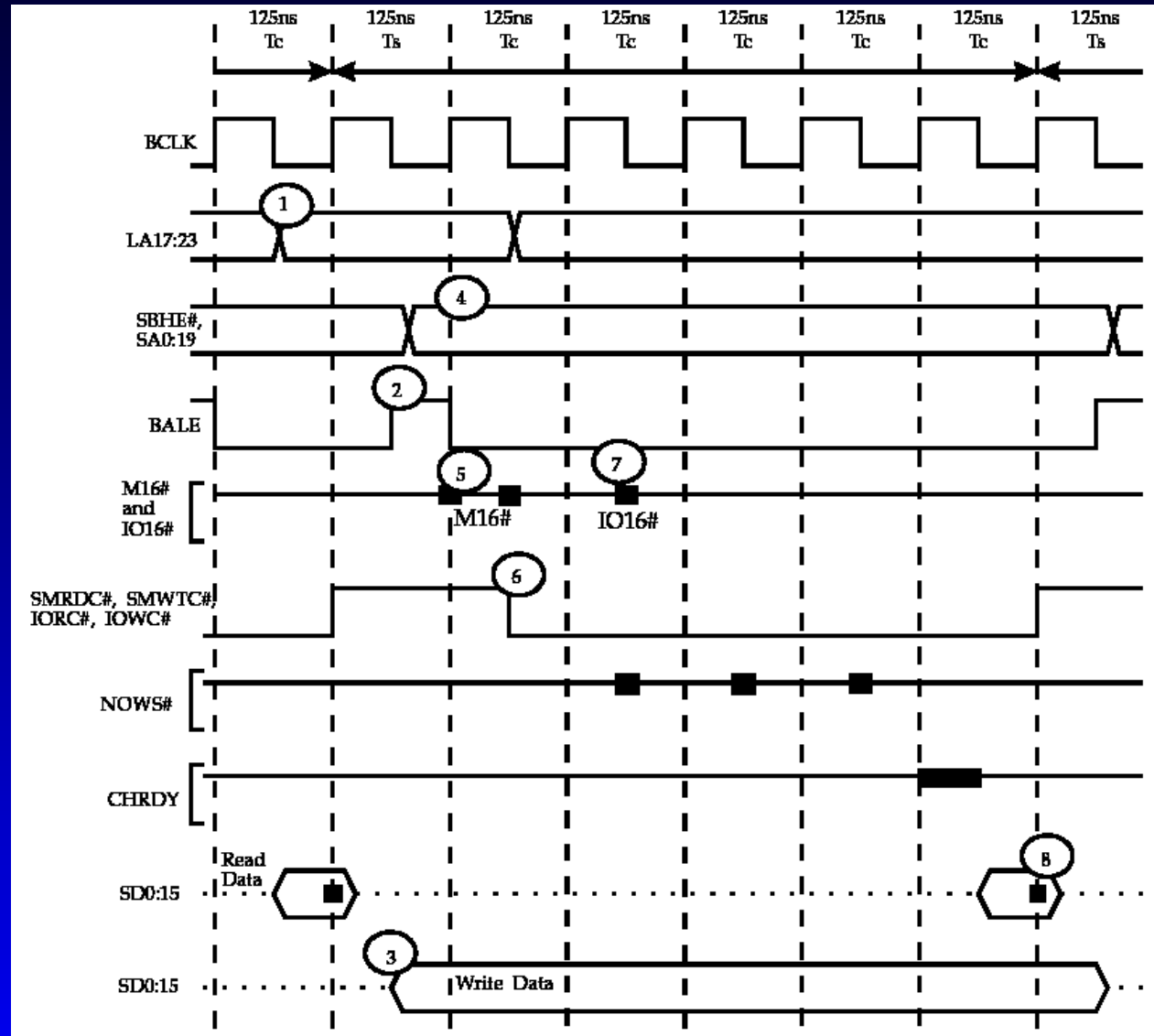
Comentários

- IRQ0, IRQ1, IRQ2, IRQ8, IRQ13, DRQ4, $\overline{\text{DACK4}}$ não estão no slot
 - São utilizados na placa mãe
- No barramento ISA IRQ9 está no lugar de IRQ2 no XT e $\overline{\text{REF}}$ está no lugar de $\overline{\text{DACK0}}$ no XT
- DRQ0 e $\overline{\text{DACK0}}$ estão disponíveis para uso das placas de expansão
- A grande maioria das placas de expansão decodifica I/O utilizando apenas A9 a A0
 - Faixa de I/O útil: 200H-3FF

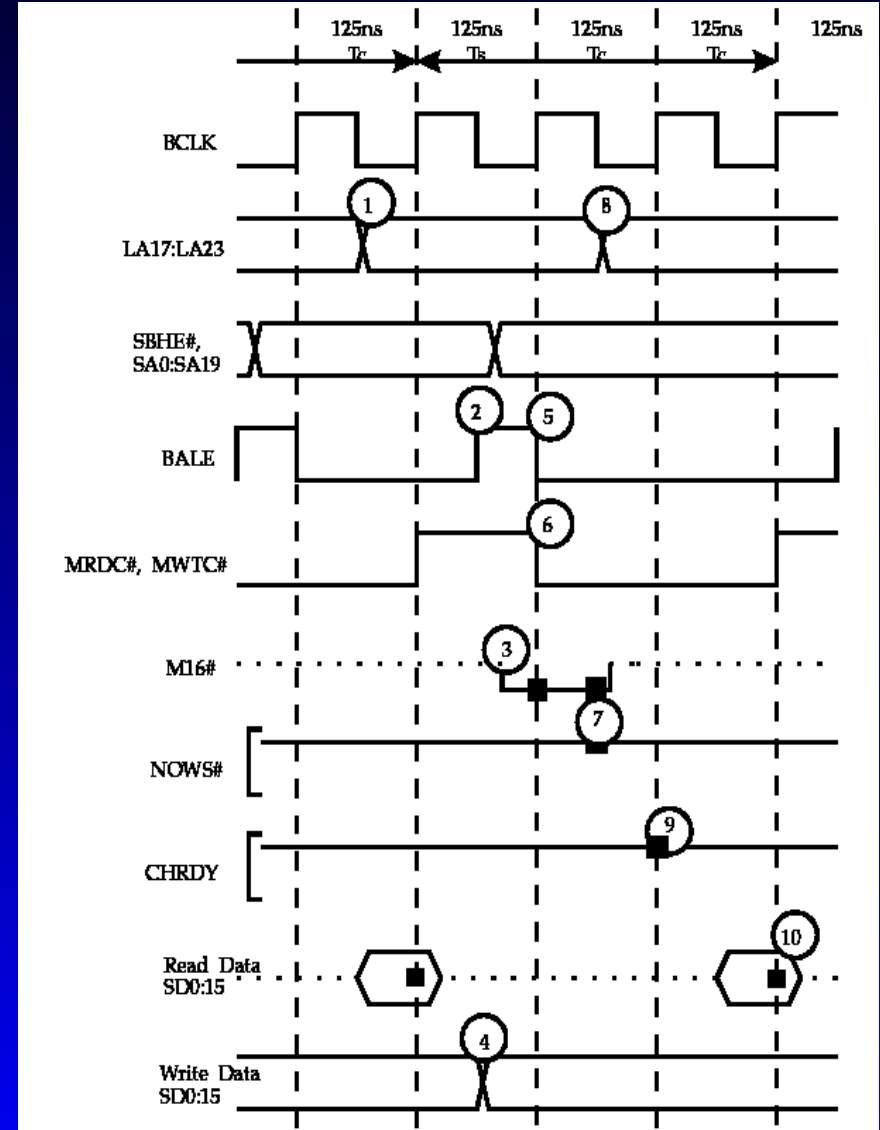
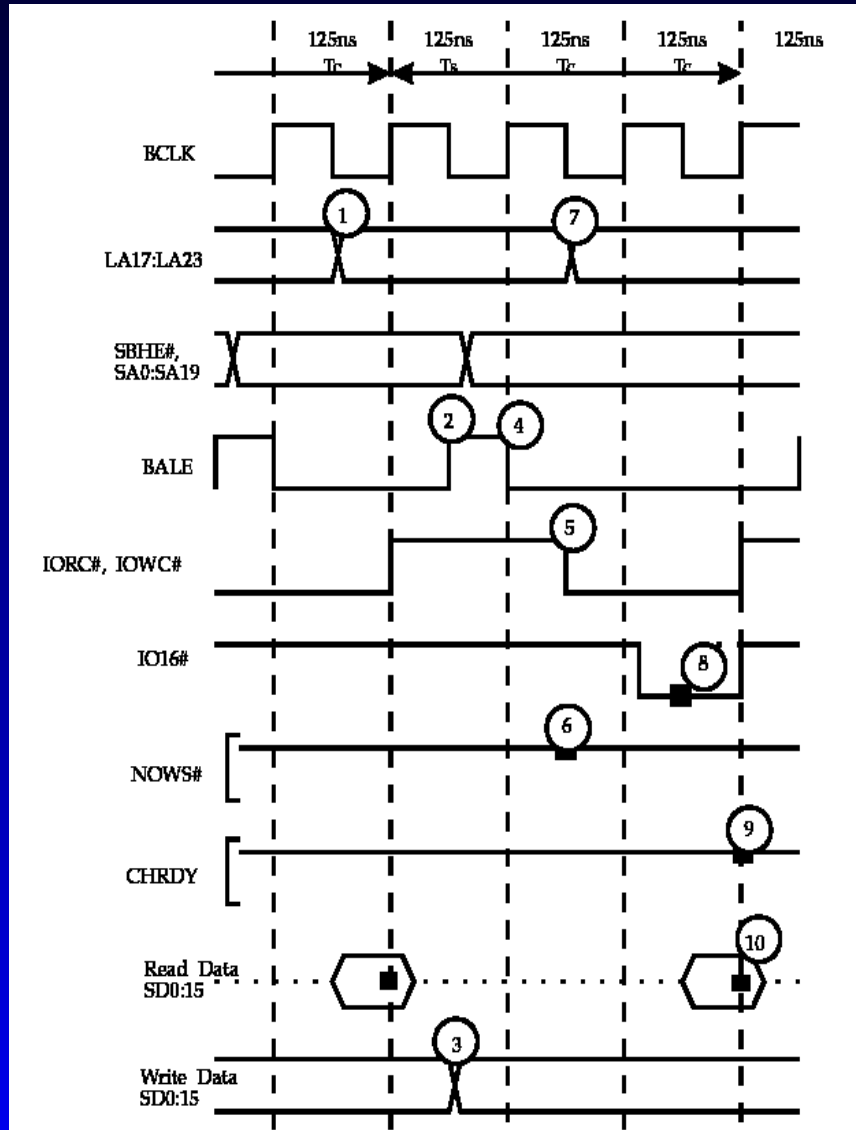
Diagrama de Blocos



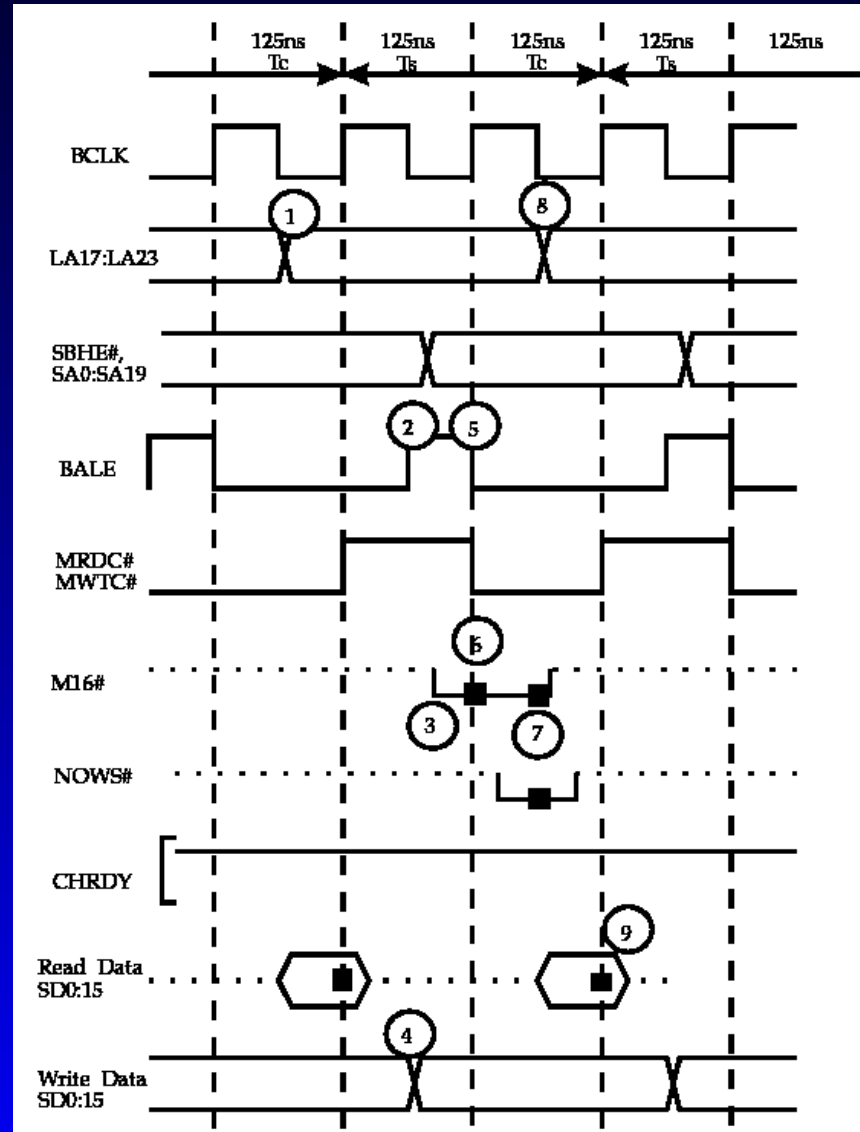
Ciclo de Barramento de 8 bits



Ciclo de Barramento de 16 bits



Ciclo de Barramento 0 WS



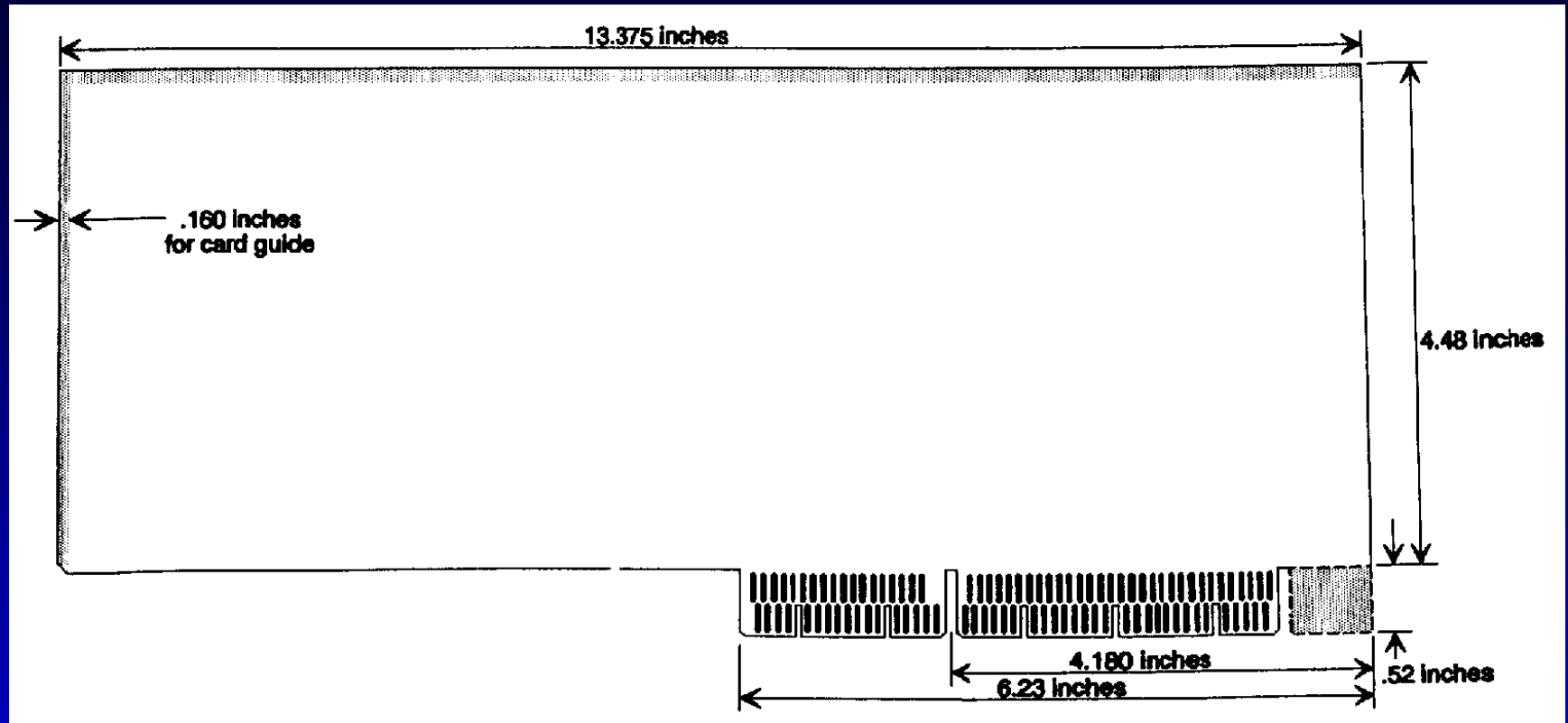


Enhanced ISA (EISA)

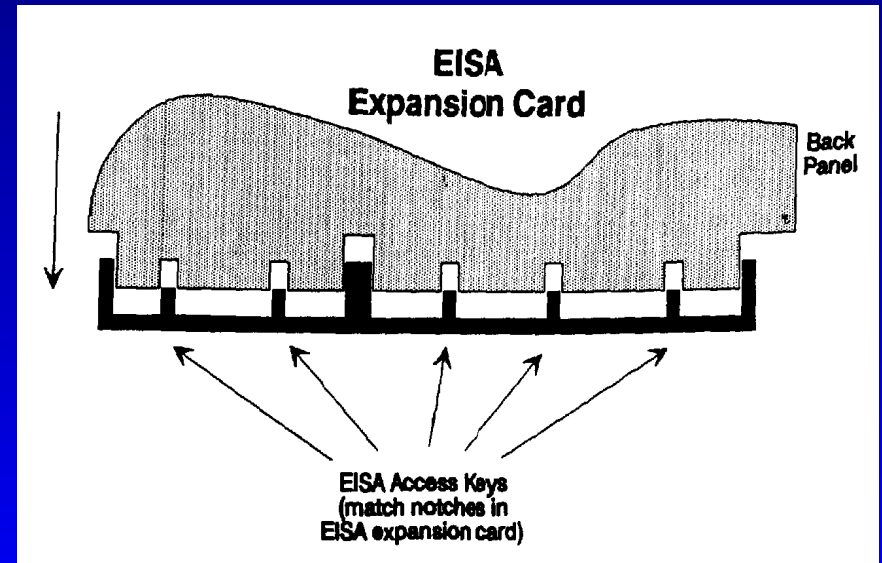
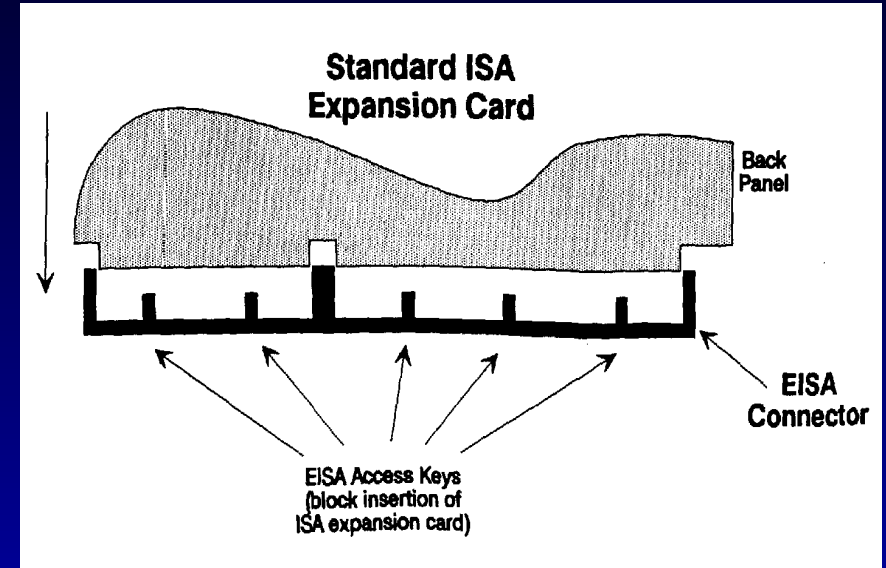
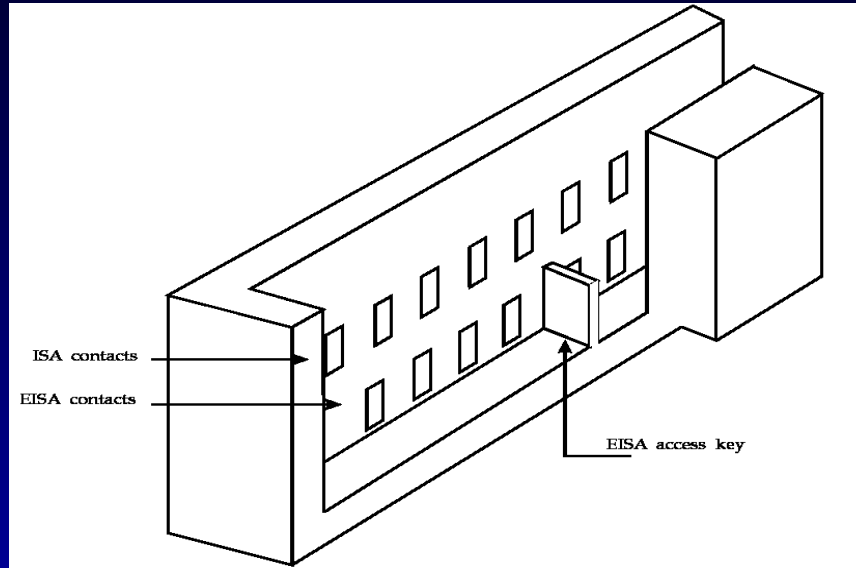
- 32 bits de dados
- 32 bits de endereços
- 8MHz
- Bus-master
- Arbitragem
- Configuração automática
- Interrupções nível ou borda compartilháveis
- DMA compartilhável



Placa EISA

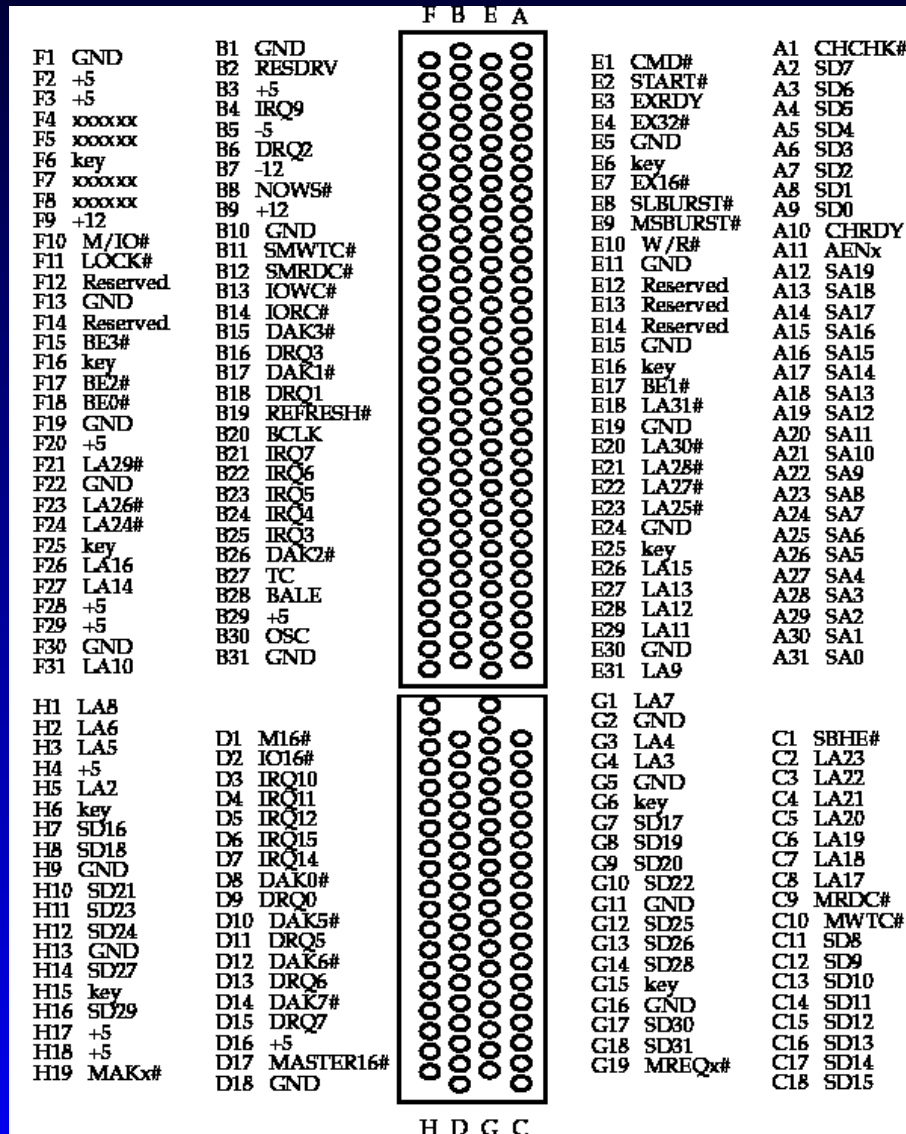


Slot EISA





Pinagem EISA



Barramento EISA

D16-D31: Barramento de dados

LA2-LA16, $\overline{\text{LA24-LA31}}$: Barramento de endereços
unlatched

$\overline{\text{BE0-BE3}}$: Habilitação de byte

M/ $\overline{\text{IO}}$: Seleção de memória ou I/O

W/ $\overline{\text{R}}$: Seleção de escrita ou leitura

EXRDY: Indica que o escravo está pronto para a
transferência

$\overline{\text{EX16}}$: Escravo aceita transferências de 16 bits

$\overline{\text{EX32}}$: Escravo aceita transferências de 32 bits

Barramento EISA

$\overline{\text{MREQ0-MREQ14}}$: Requisição de controle do barramento

$\overline{\text{MAK0-MAK14}}$: Reconhecimento de controle do barramento

$\overline{\text{SLBRST}}$: Indicação de que o escravo suporta burst

$\overline{\text{MSBRST}}$: Indicação de que o mestre suporta burst

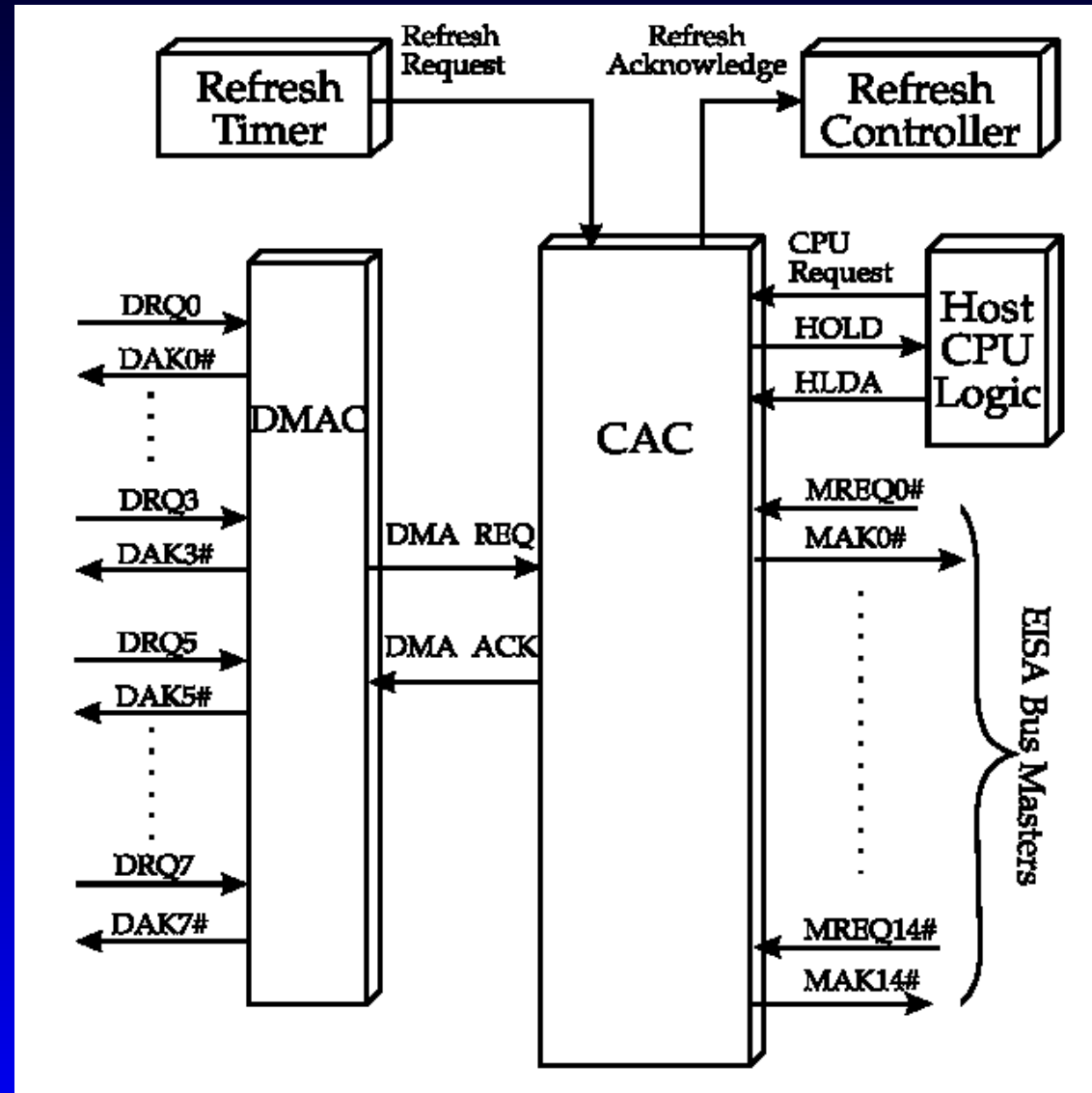
$\overline{\text{START}}$: Início do ciclo de barramento

$\overline{\text{CMD}}$: Início da fase de comando do ciclo de barramento

$\overline{\text{LOCK}}$: Evita que outros mestres acessem o barramento

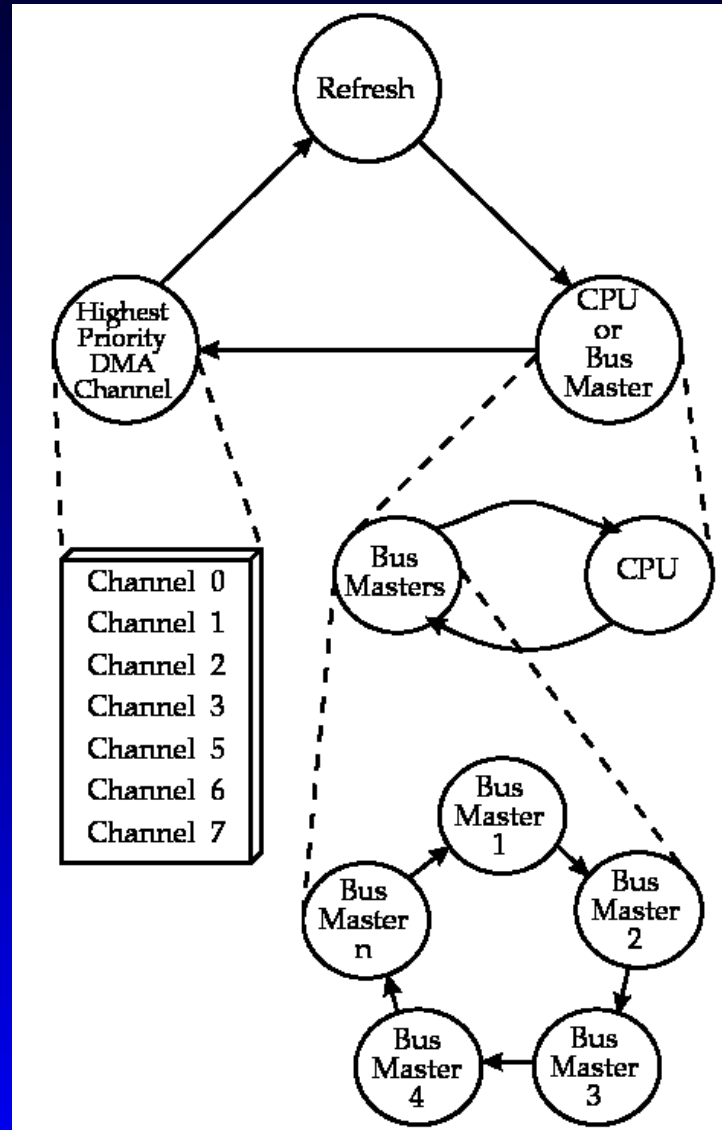


Arbitragem

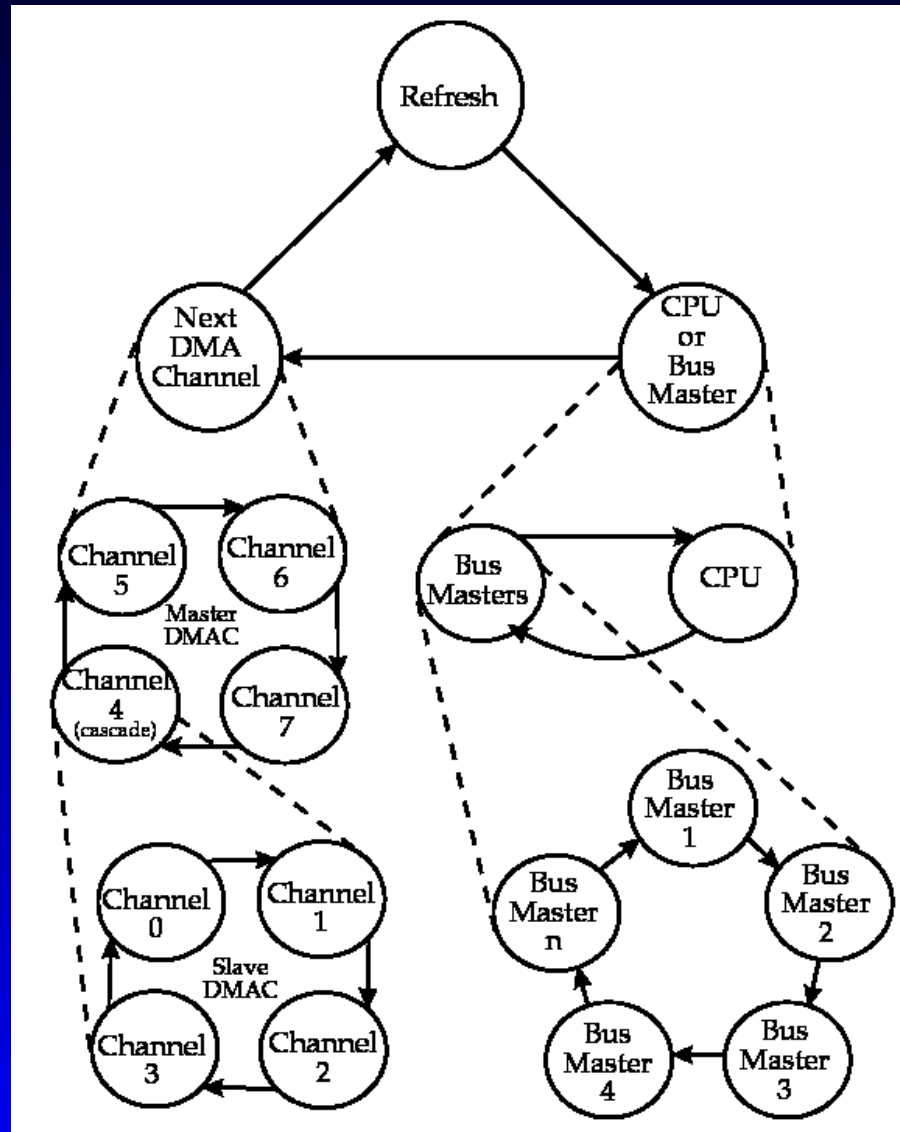




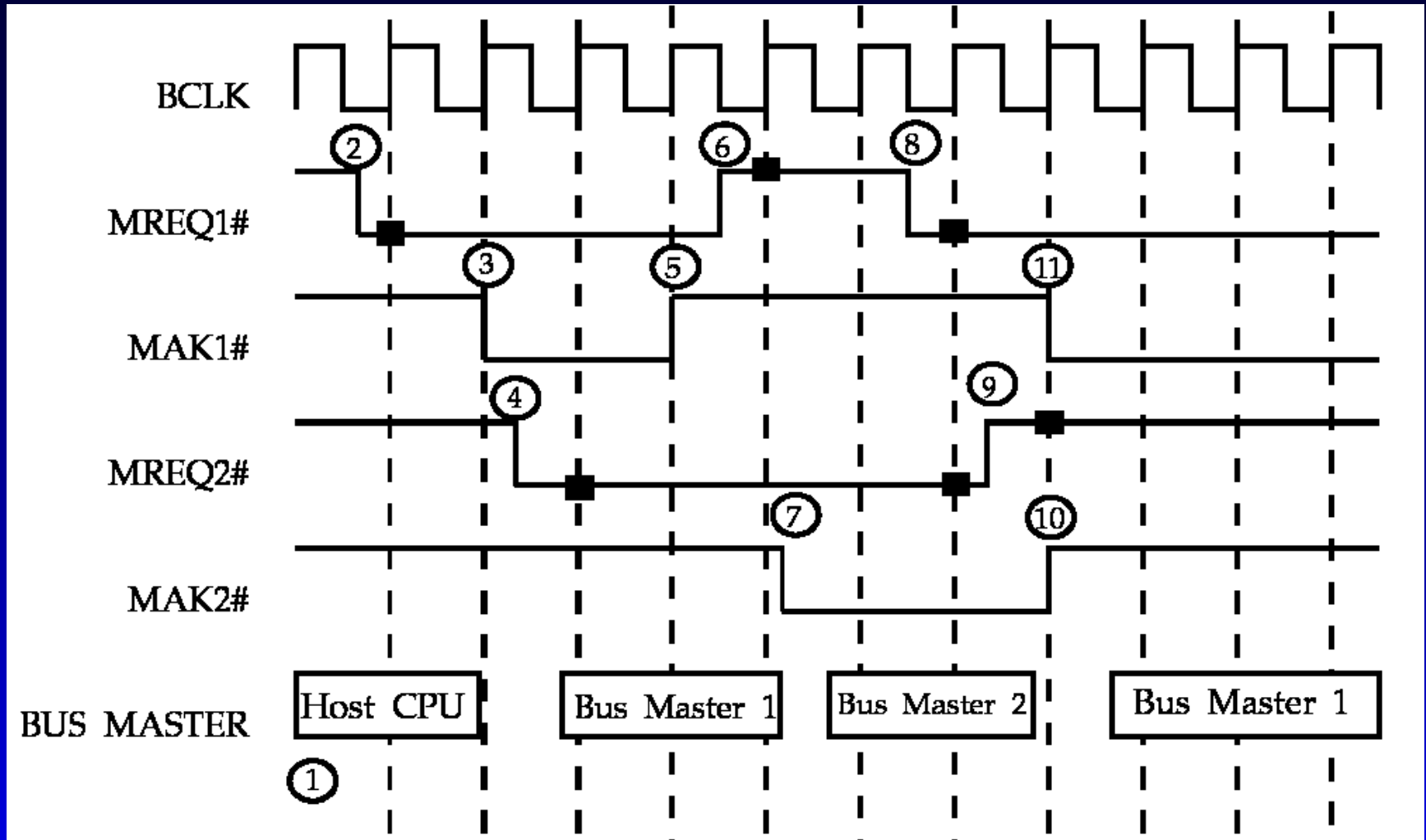
Prioridade Fixa



Prioridade Rotativa

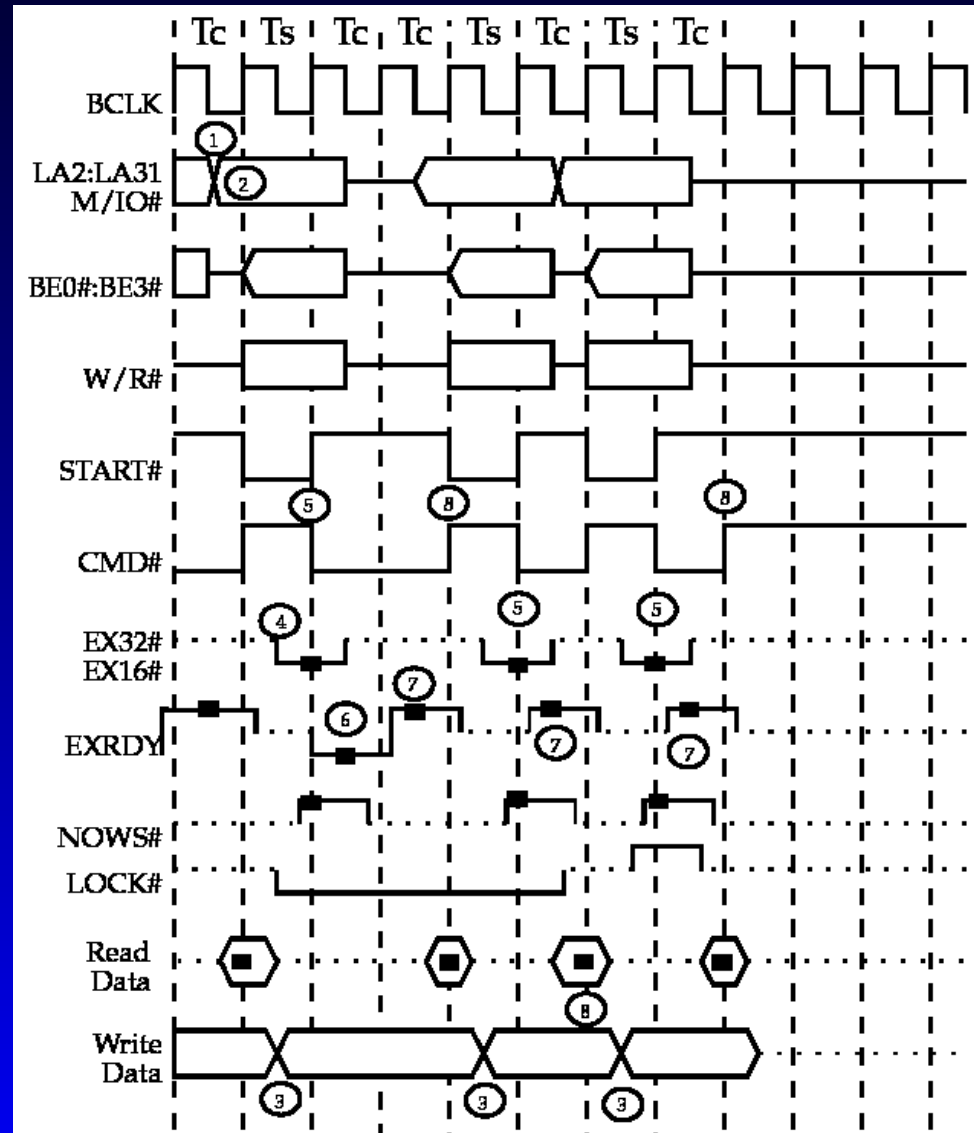


Ciclo de Arbitragem

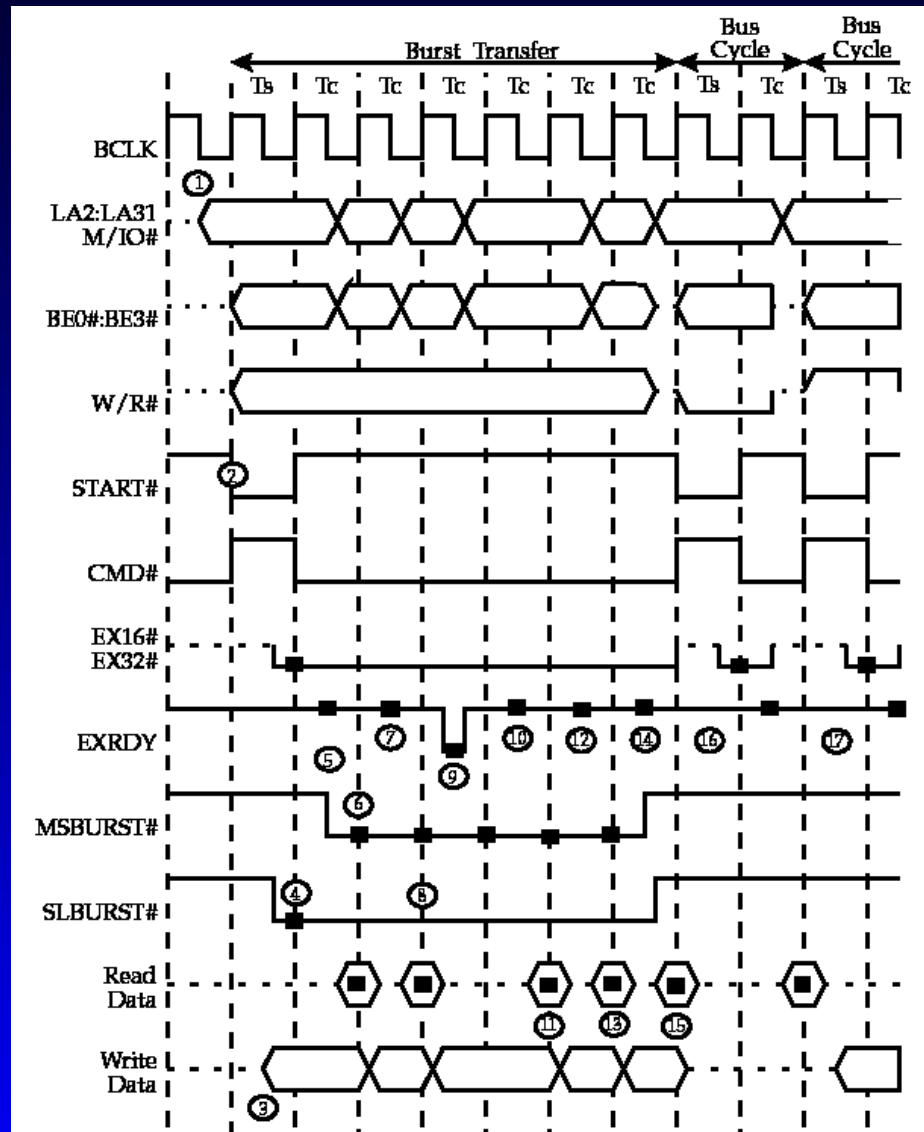




Ciclo Padrão



Ciclo de Burst



Mapeamento de I/O



Faixa de I/O	Reserva	Uso
0000-00FF	Dispositivos na placa mãe EISA/ISA	Placa mãe
0100-03FF	Placas de expansão ISA	Placas ISA
0400-04FF	I/O na placa mãe EISA	Placa mãe
0500-07FF	alias da faixa ISA	
0800-08FF	I/O na placa mãe EISA	Placa mãe
0900-0BFF	alias da faixa ISA	
0C00-0CFF	I/O na placa mãe EISA	Placa mãe
0D00-0FFF	alias da faixa ISA	



Mapeamento de I/O

Faixa de I/O	Reserva	Uso
1000-10FF	I/O do slot 1	slot 1 EISA
1100-13FF	alias da faixa ISA	
1400-14FF	I/O do slot 1	slot 1 EISA
1500-17FF	alias da faixa ISA	
1800-18FF	I/O do slot 1	slot 1 EISA
1900-1BFF	alias da faixa ISA	
1C00-1CFF	I/O do slot 1	slot 1 EISA
1D00-1FFF	alias da faixa ISA	



Mapeamento de I/O

Faixa de I/O	Reserva	Uso
2000-20FF	I/O do slot 2	slot 2 EISA
2200-23FF	alias da faixa ISA	
2400-24FF	I/O do slot 2	slot 2 EISA
2500-27FF	alias da faixa ISA	
2800-28FF	I/O do slot 2	slot 2 EISA
2900-2BFF	alias da faixa ISA	
2C00-2CFF	I/O do slot 2	slot 2 EISA
2D00-2FFF	alias da faixa ISA	
⋮	⋮	⋮



VESA Local Bus

- 32 bits de dados
- 32 bits de endereços
- 25-40MHz
- Bus-master
- Limitado a 2 ou 3 slots

Pinagem VLB



Back Side pin assignment	Component Side pin assignment	Back Side pin assignment	Component Side pin assignment
B1 Dat00	A1 Dat01	B30 Adr17	A30 Adr16
B2 Dat02	A2 Dat03	B31 Adr15	A31 Adr14
B3 Dat04	A3 GND	B32 Vcc	A32 Adr12
B4 Dat06	A4 Dat05	B33 Adr13	A33 Adr10
B5 Dat08	A5 Dat07	B34 Adr11	A34 Adr08
B6 GND	A6 Dat09	B35 Adr09	A35 GND
B7 Dat10	A7 Dat11	B36 Adr07	A36 Adr06
B8 Dat12	A8 Dat13	B37 Adr05	A37 Adr04
B9 Vcc	A9 Dat15	B38 GND	A38 WBACK#
B10 Dat14	A10 GND	B39 Adr03	A39 BEO#
B11 Dat16	A11 Dat17	B40 Adr02	A40 Vcc
B12 Dat18	A12 Vcc	B41 n/c	A41 BE1#
B13 Dat20	A13 Dat19	B42 RESET#	A42 BE2#

Pinagem VLB



Back Side pin assignment	Component Side pin assignment	Back Side pin assignment	Component Side pin assignment
B14 GND	A14 Dat21	B43 DC#	A43 GND
B15 Dat22	A15 Dat23	B44 M/ID#	A44 BE3#
B16 Dat24	A16 Dat25	B45 W/R#	A45 ADS#
B17 Dat26	A17 GND		
B18 Dat28	A18 Dat27		
B19 Dat30	A19 Dat29	B48 RDYRTN#	A48 LRDY#
B20 Vcc	A20 Dat31	B49 GND	A49 LDEV<x>#
B21 Adr31	A21 Adr30	B50 IRQ9	A50 LREQ<x>#
B22 GND	A22 Adr28	B51 BRDY#	A51 GND
B23 Adr29	A23 Adr26	B52 BLAST#	A52 LGNT<x>#
B24 Adr27	A24 GND	B53 ID0	A53 Vcc
B25 Adr25	A25 Adr24	B54 ID1	A54 ID2
B26 Adr23	A26 Adr22	B55 GND	A55 ID3



Pinagem VLB

Back Side pin assignment	Component Side pin assignment	Back Side pin assignment	Component Side pin assignment
B27 Adr21	A27 Vcc	B56 LCLK	A56 ID4
B28 Adr19	A28 Adr20	B57 Vcc	A57 LKEN#
B29 GND	A29 Adr18	B58 LBS16#	A58 LEAD5#