



Memórias Semicondutoras

Walter Fetter Lages

w.fetter@ieee.org

Universidade Federal do Rio Grande do Sul

Escola de Engenharia

Departamento de Engenharia Elétrica



Introdução

ROM Read-Only Memory

ROM

PROM Programmable ROM

EPROM Erasable PROM

EEPROM Electrically Erasable PROM

Flash-EEPROM

RAM Random Access Memory

SRAM Static RAM

Async SRAM

Sync SRAM

PB SRAM Pipelined Burst SRAM

DRAM Dynamic RAM



DRAM

DRAM Dynamic RAM

DRAM

F(E)PM RAM Fast (Enhanced) Page-mode
RAM

EDO RAM Extended Data Output RAM

BEDO RAM Burst Extended Data Output RAM

SDRAM Synchronous DRAM

DDR SDRAM Double Data Rate SDRAM

VRAM Video RAM



SRAM x DRAM

- SRAM
 - Célula básica = flip-flop
 - Alta velocidade
 - Baixa densidade, alto custo
 - Alto consumo
- DRAM
 - Célula básica = capacitor
 - Baixa velocidade
 - Alta densidade, baixo custo
 - Baixo consumo
 - Necessita refresh

SRAM

- Tipicamente organizadas em palavras de 8 bits
- Organização interna pode ser diferente

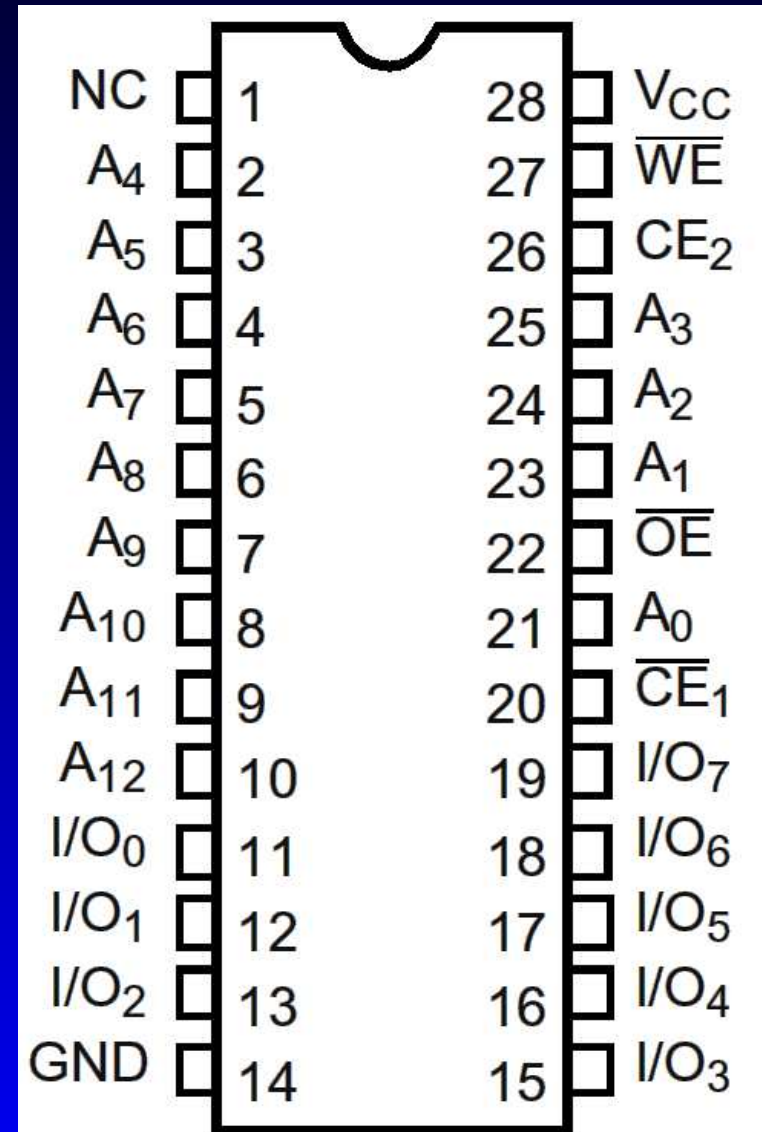
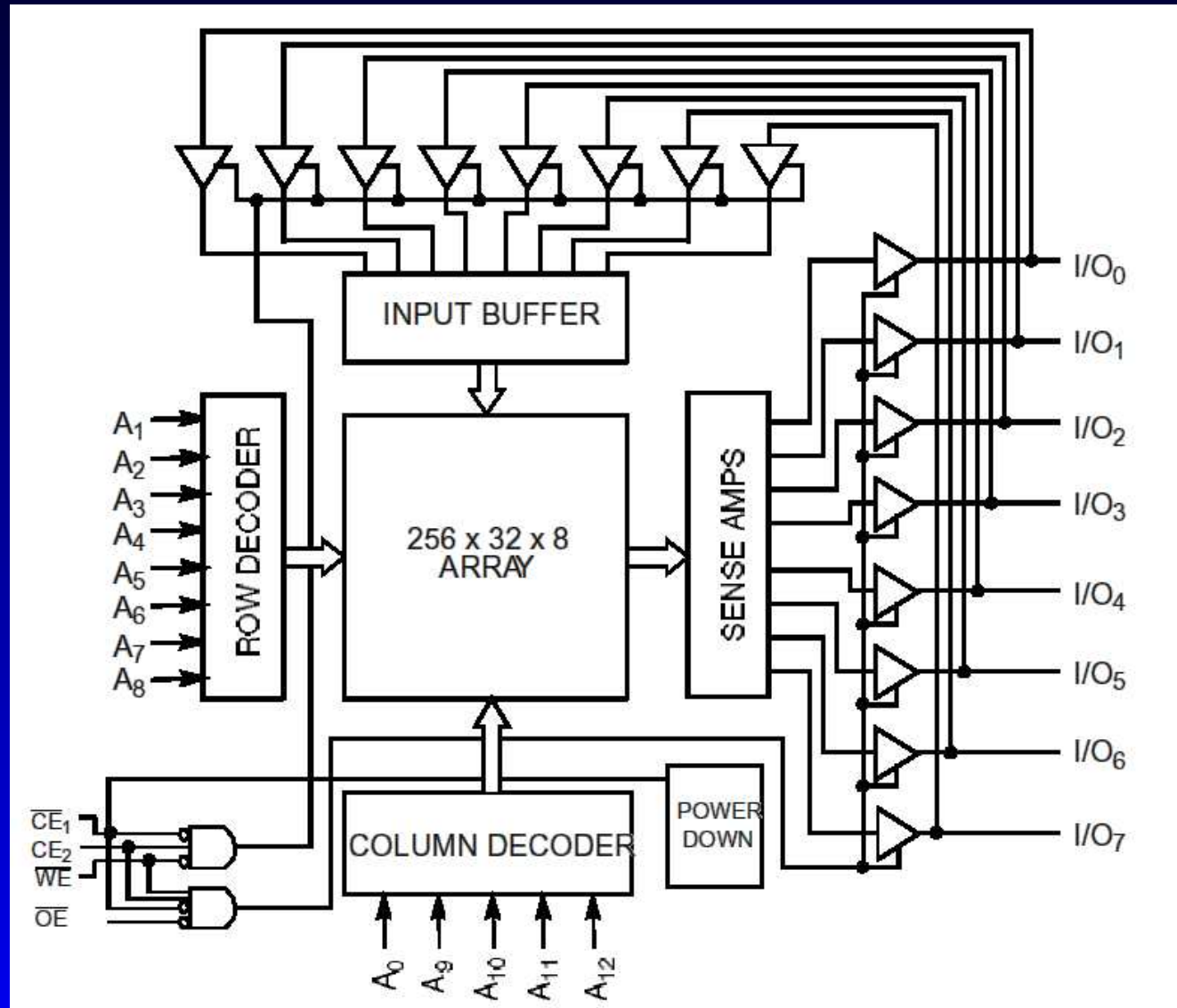
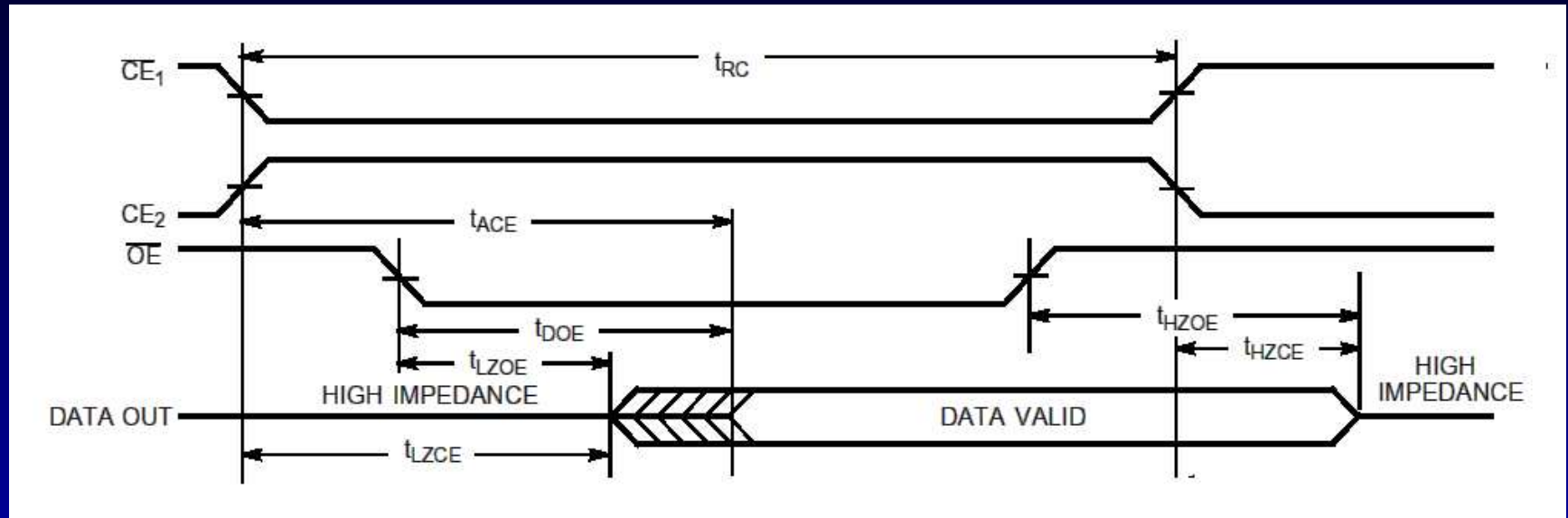


Diagrama de Blocos da 6264

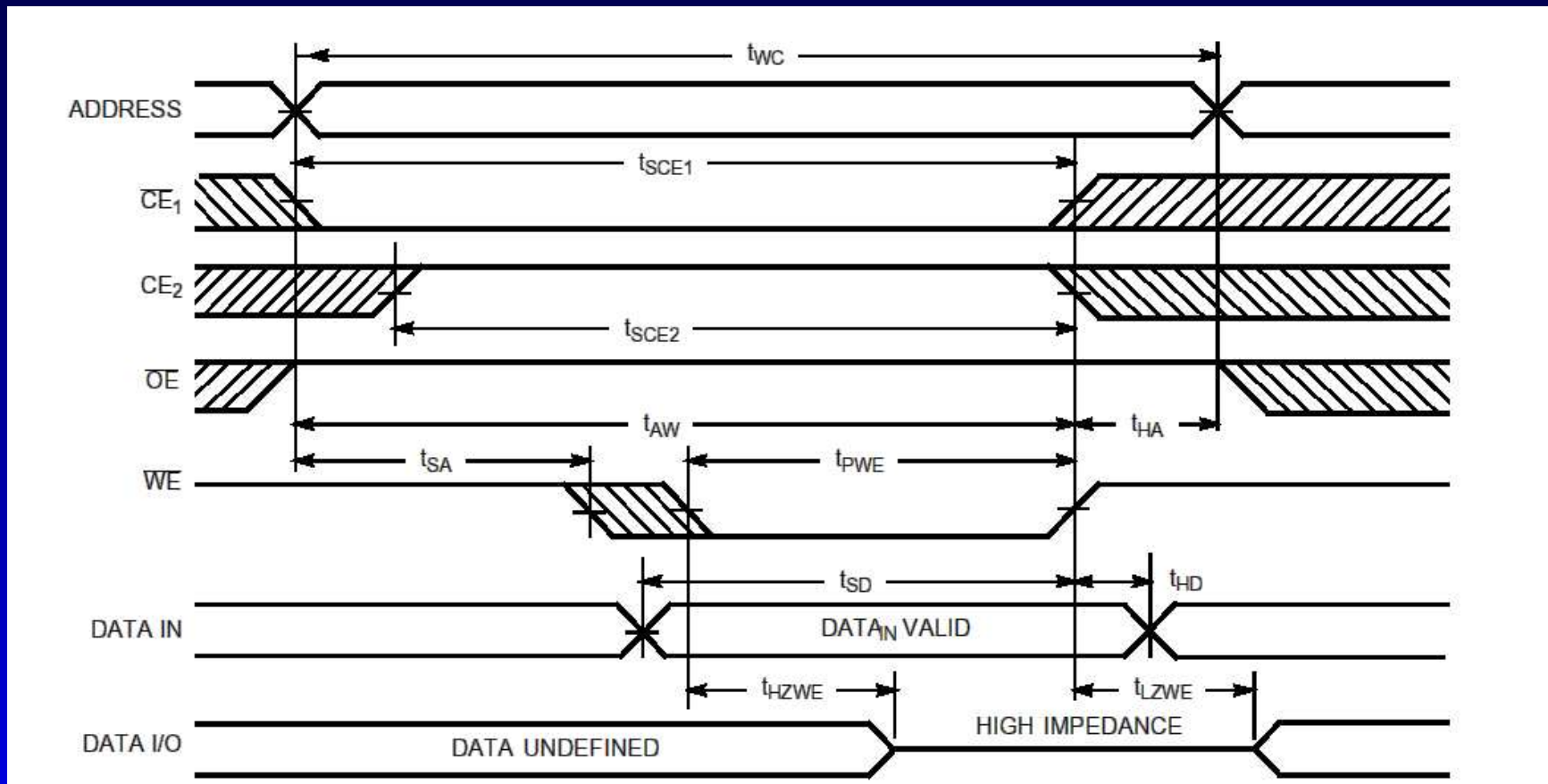


Ciclo de Leitura da 6264



Ciclo de Escrita da 6264

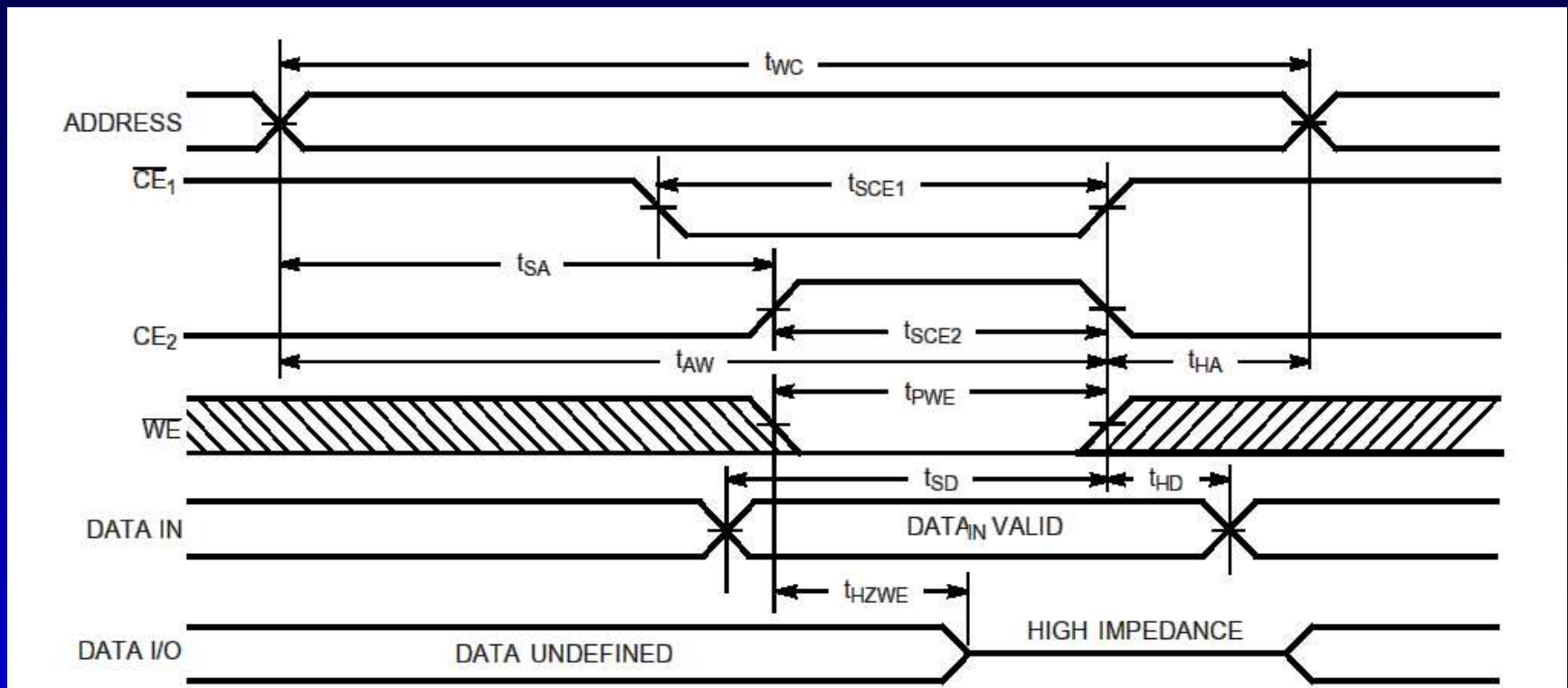
- Controlado por \overline{WE}



Ciclo de Escrita da 6264



- Controlado por \overline{CE}





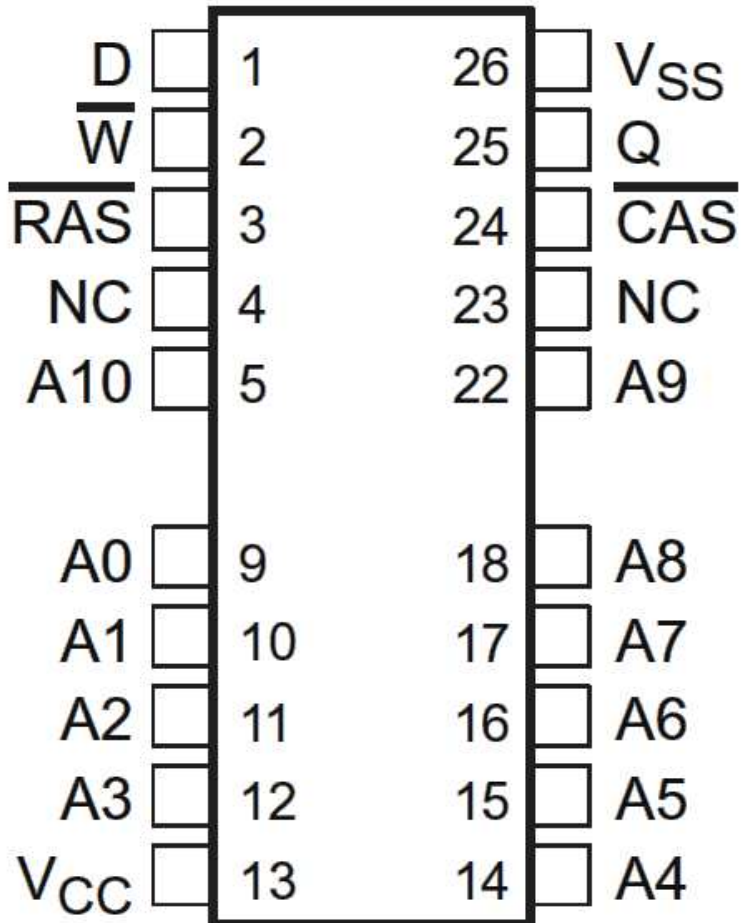
DRAM

- Organizações típicas (*chips*): $N \times 1$, $N \times 4$, $N \times 8$
- Organizações típicas (*pentes*): $N \times 8$, $N \times 9$, $N \times 32$, $N \times 36$, $N \times 64$, $N \times 72$
- Endereçamento multiplexado
 - $\overline{\text{RAS}}$ Row Address Strobe
 - $\overline{\text{CAS}}$ Column Address Strobe
- *Refresh* é feito por linha
- *Pre-charge*
- Memórias $N \times 1$ costumam ter pinos D e Q separados

DRAM



- TMS44100



- TMS44400

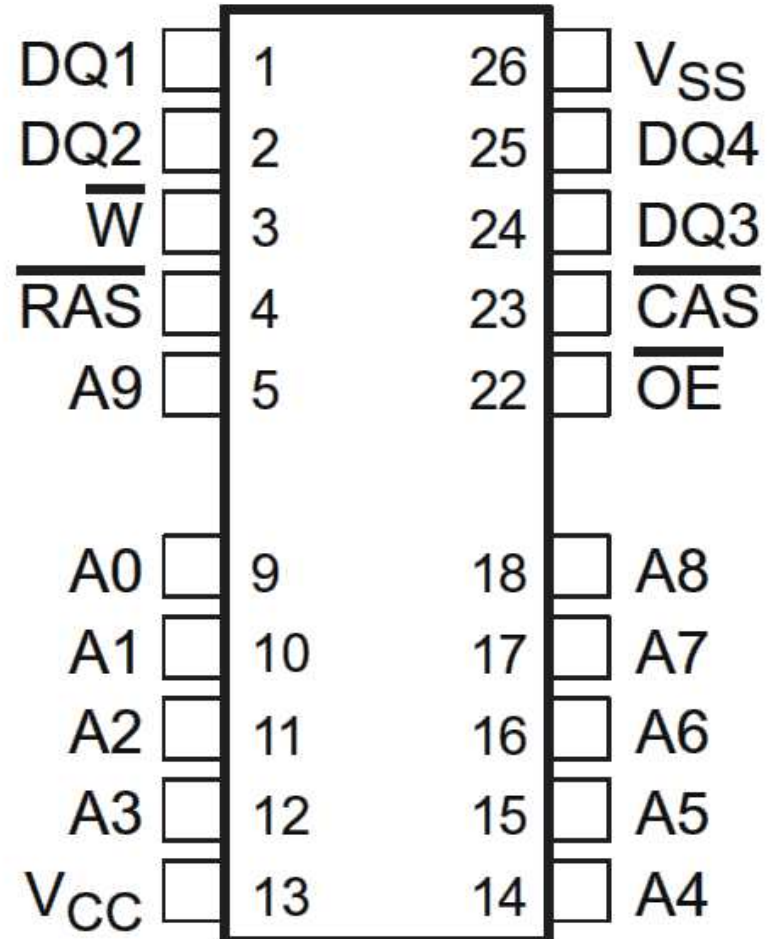


Diagrama de Blocos da TMS44100

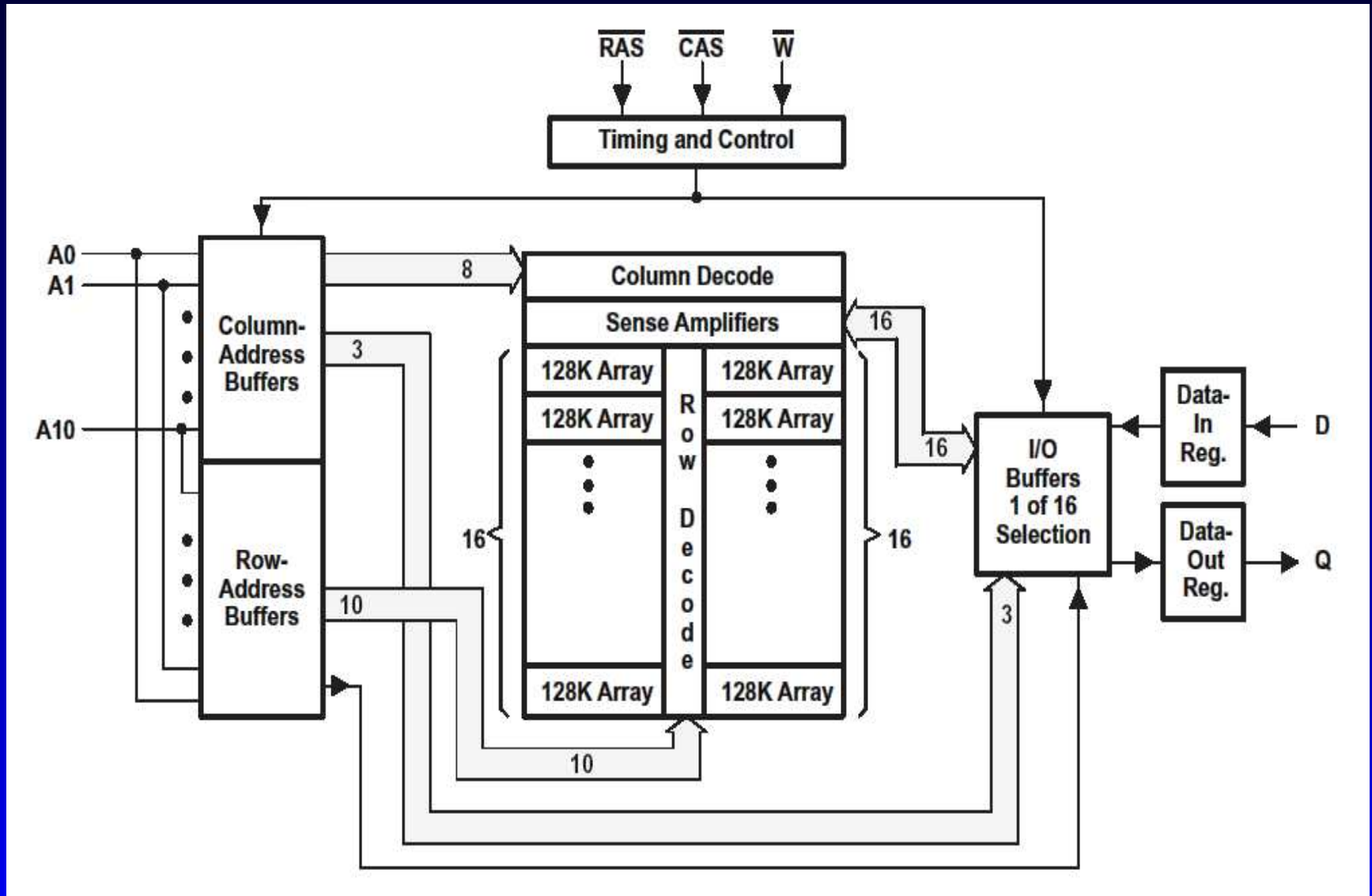
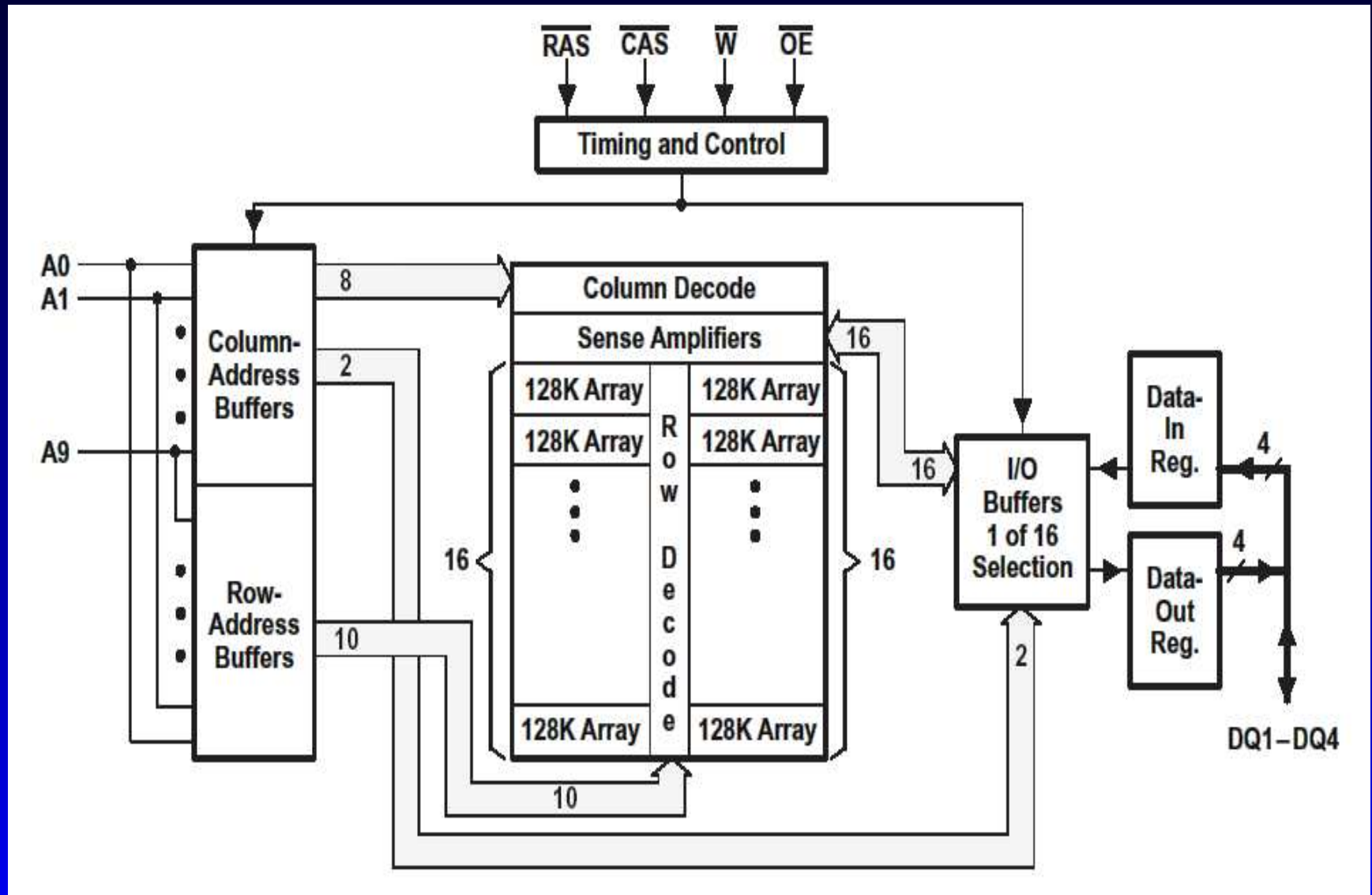
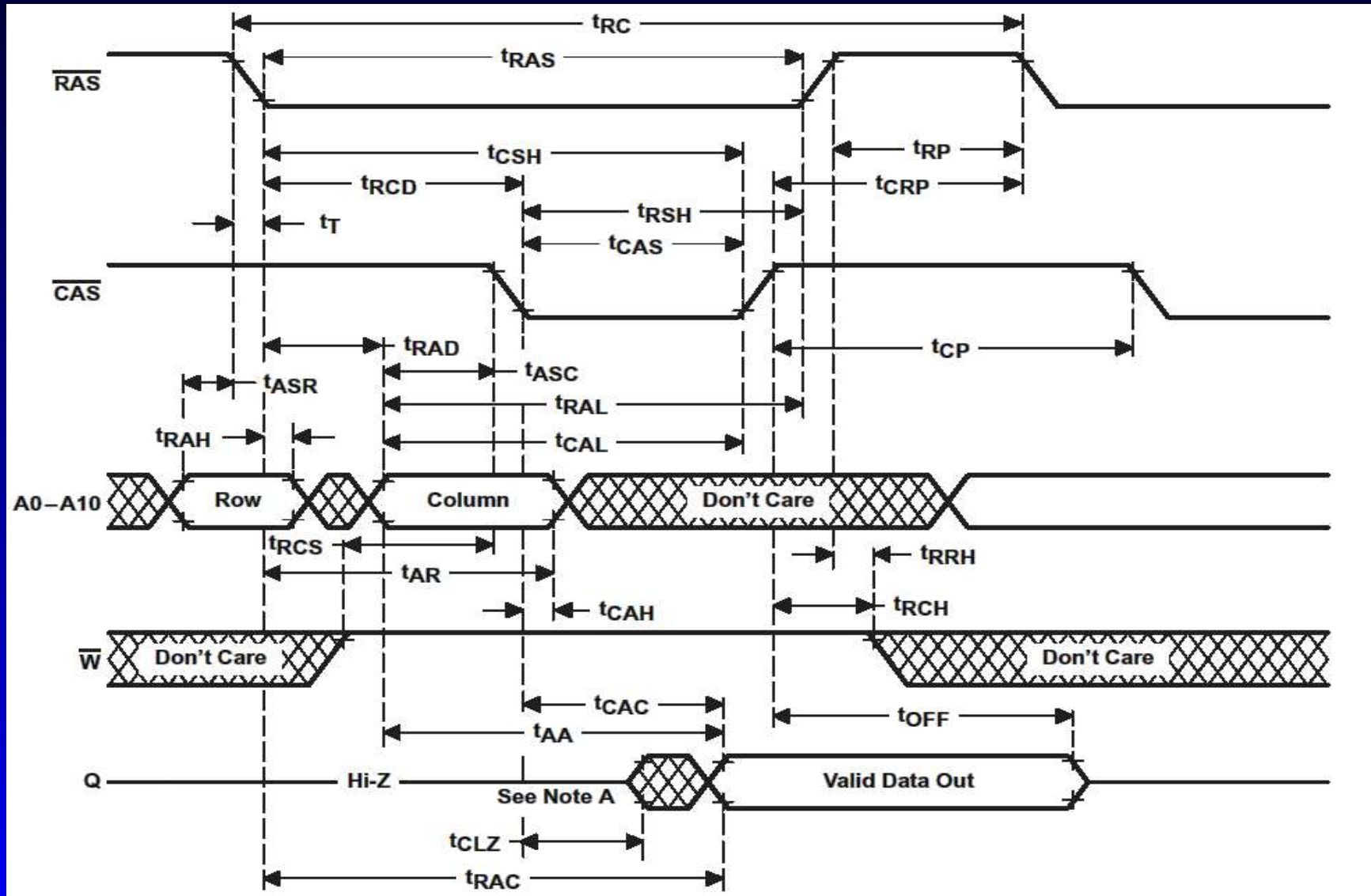


Diagrama de Blocos da TMS44400



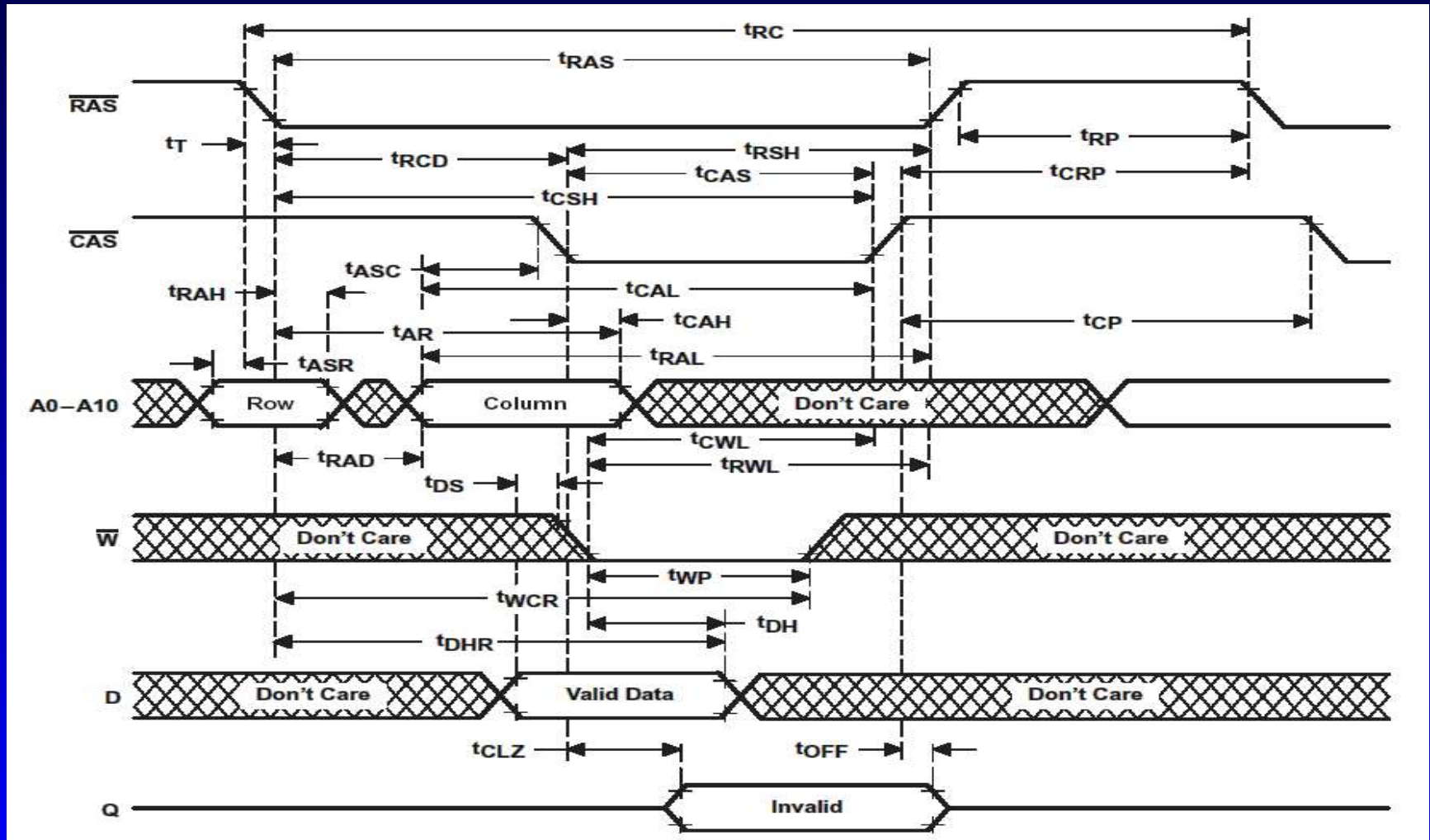
Ciclo de Leitura



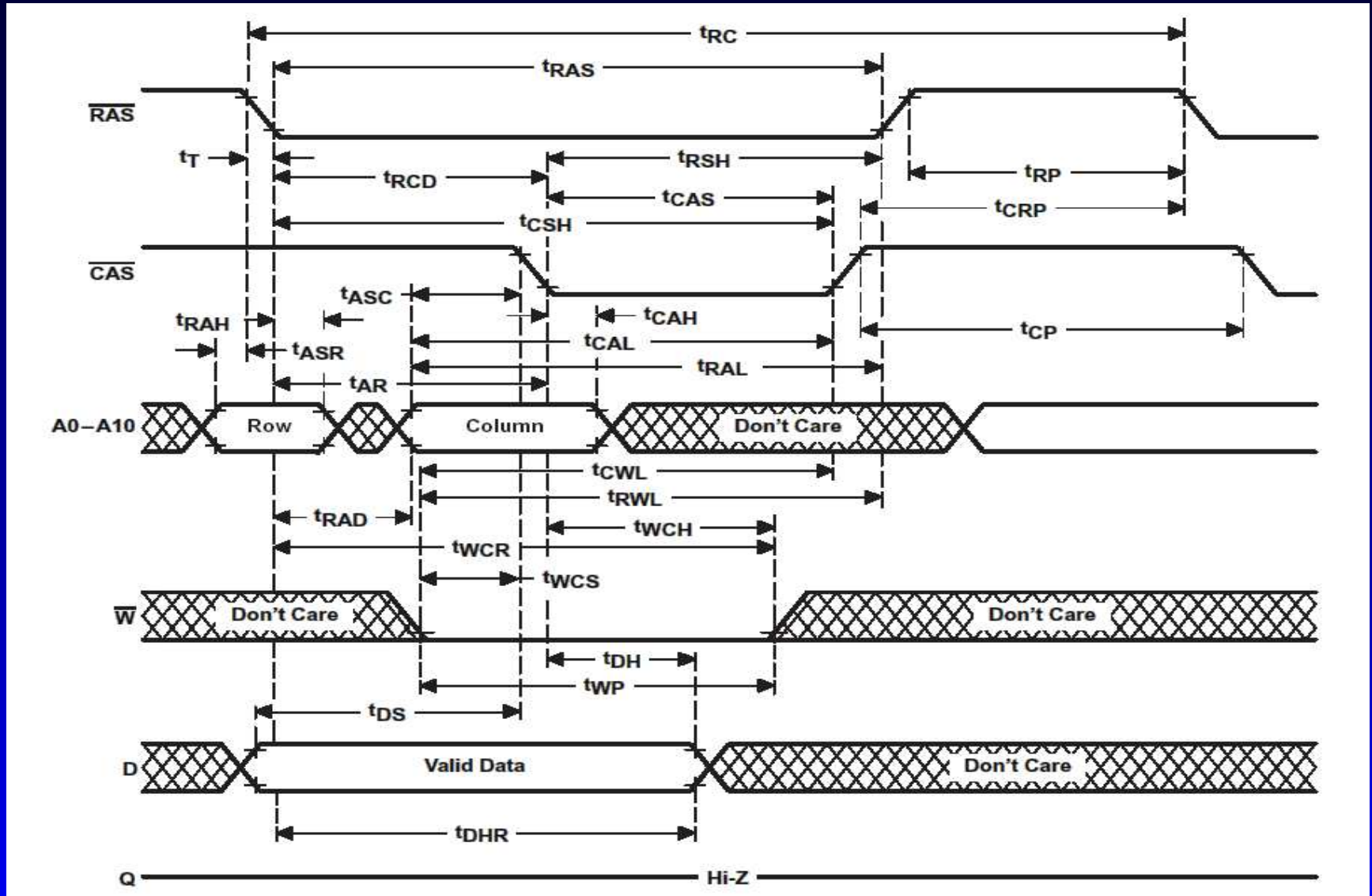
Ciclo de Escrita



- O *buffer* de saída é habilitado

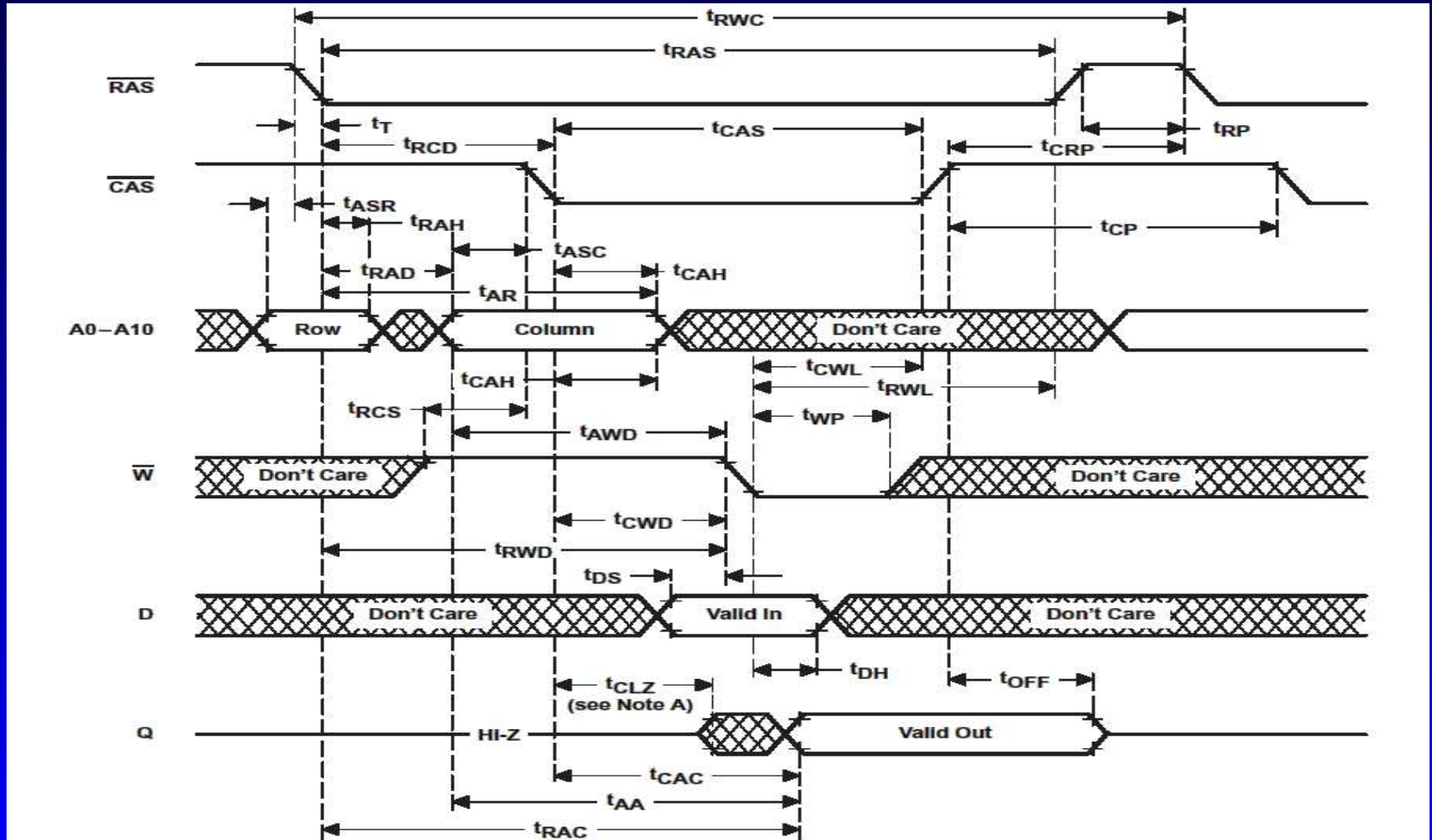


Ciclo de Escrita Antecipada



Ciclo de Leitura-Escrita

- A habilitação do *buffer* de saída é aproveitada

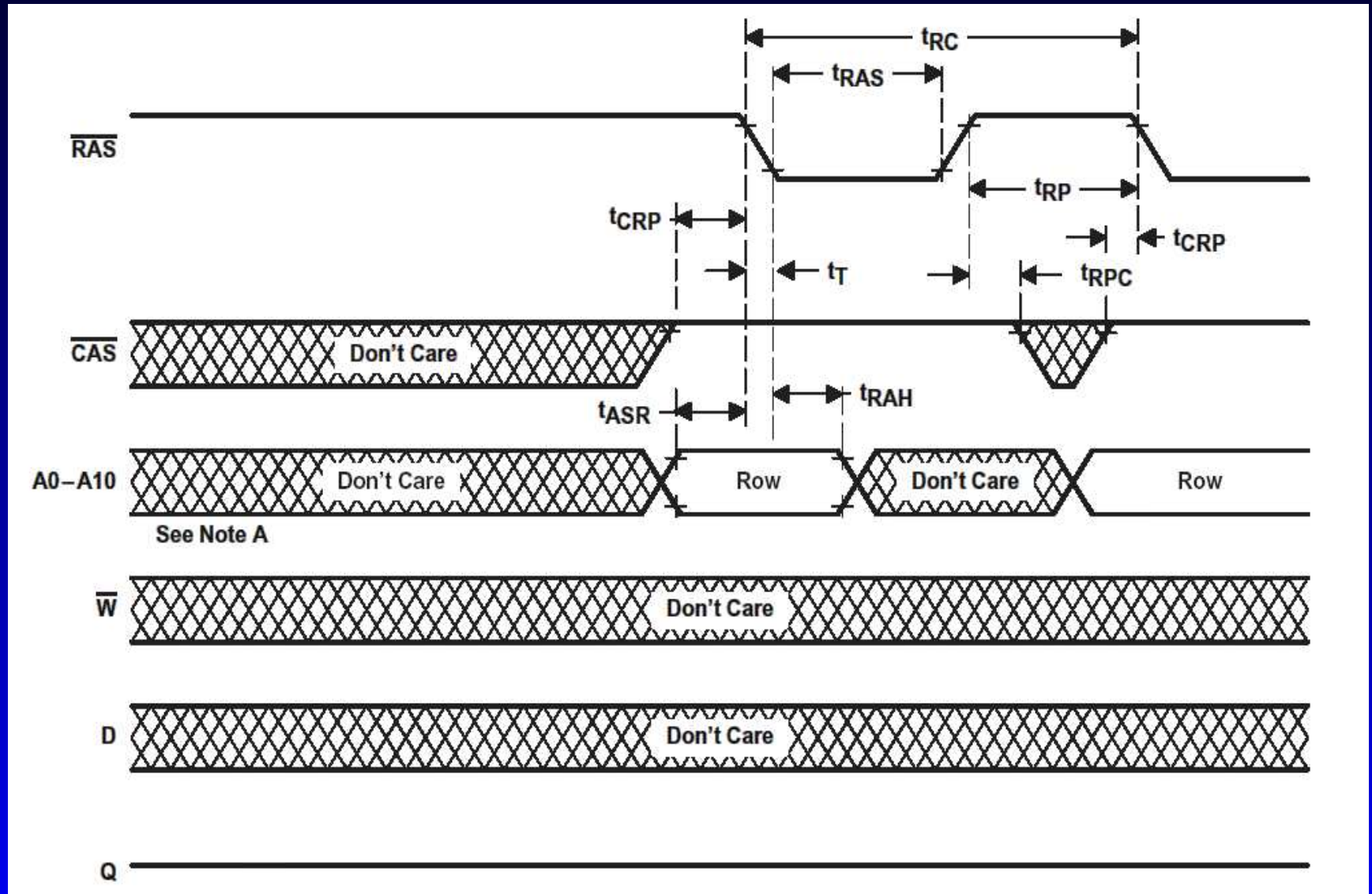




Refresh

- Períodos de *refresh* típicos são da ordem de algumas dezenas de ms
- O *refresh* é feito por linhas
- Nas DRAMs mais recentes as linhas externas não correspondem à organização interna
 - Podem ser necessários menos ciclos do que o número de endereços de linha
 - Alguns bits do endereço de linha são ignorados no *refresh*

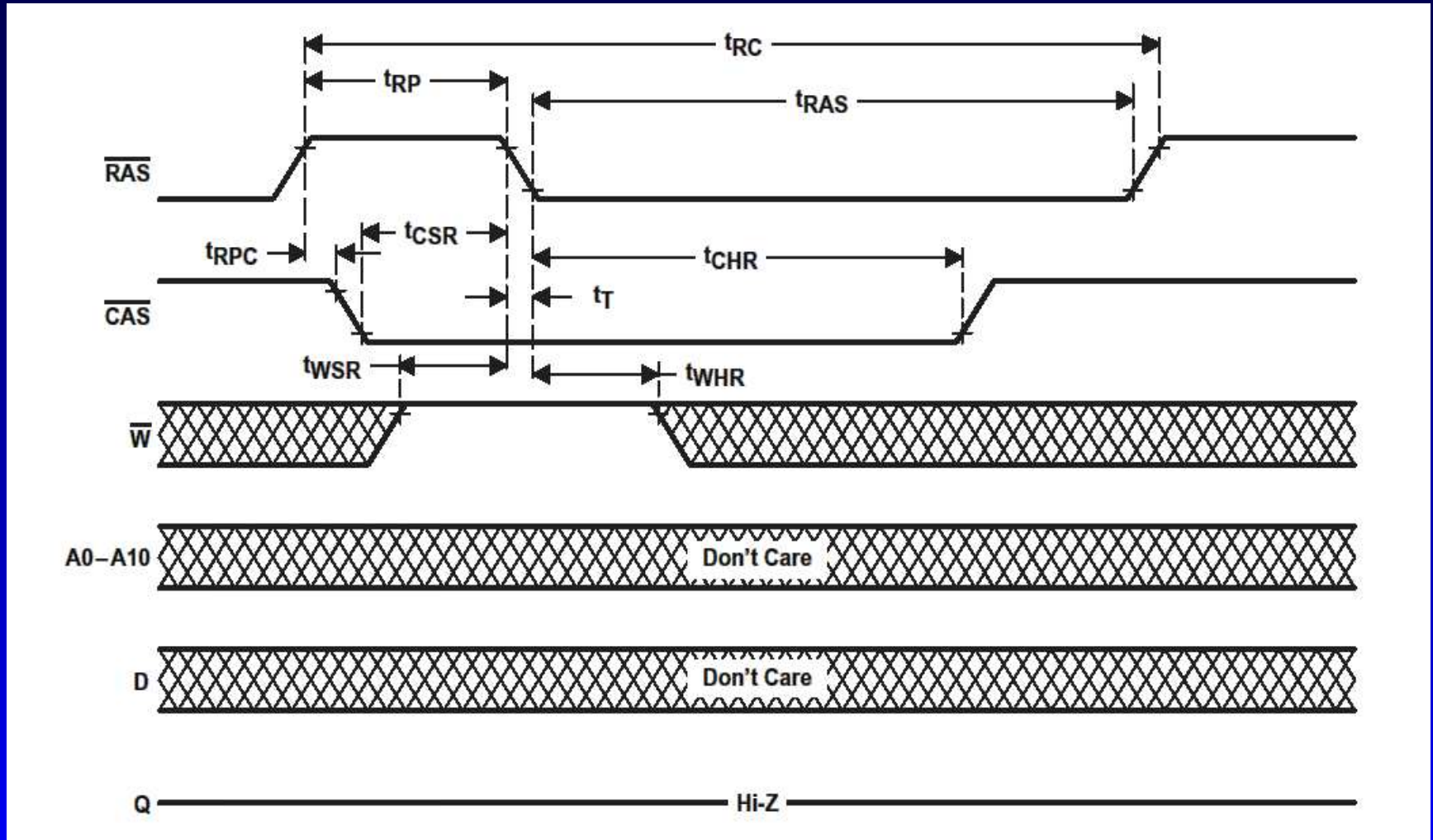
RAS-only Refresh



CAS-Before-RAS Refresh



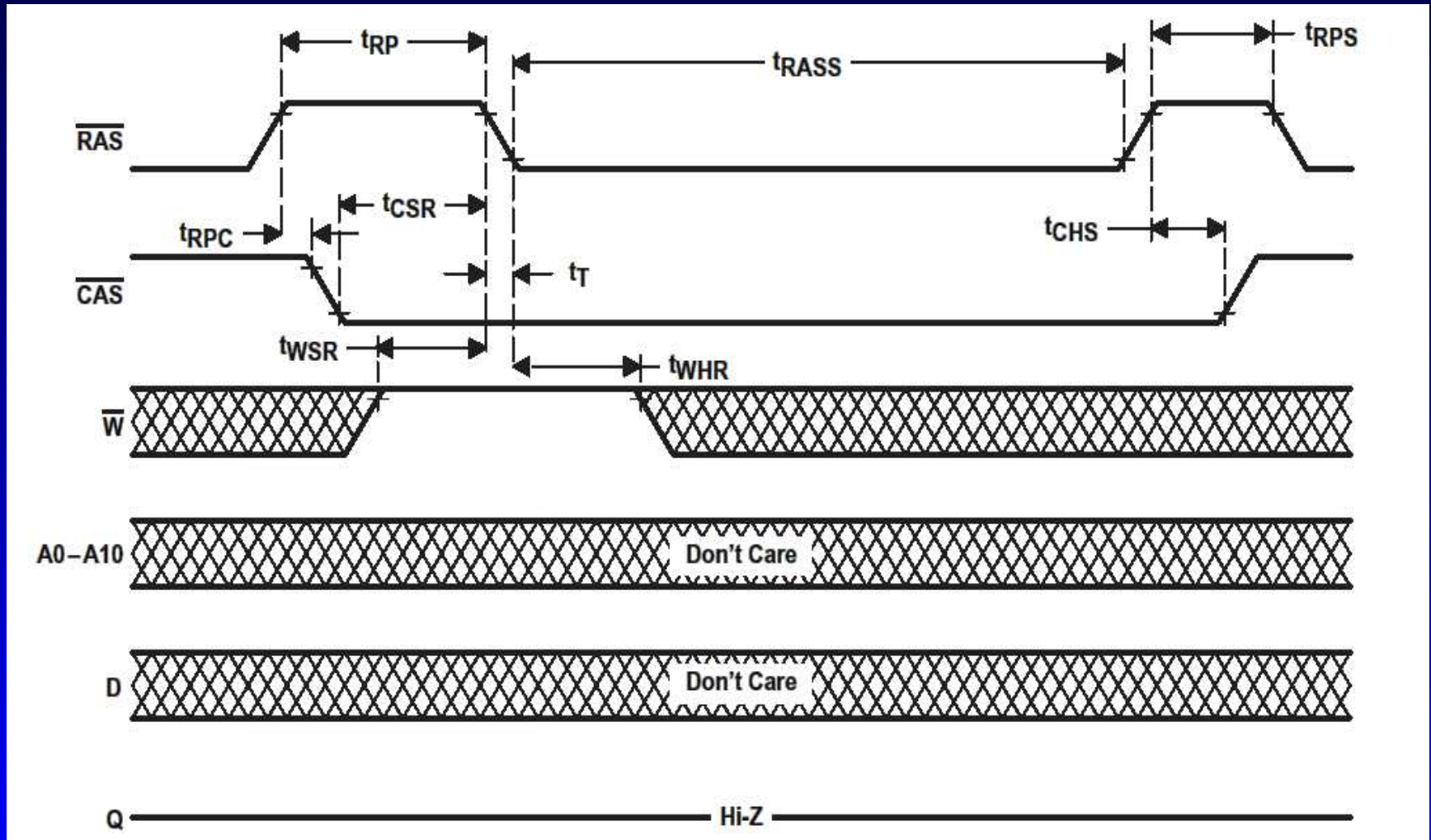
- O endereço é gerado internamente



Self Refresh



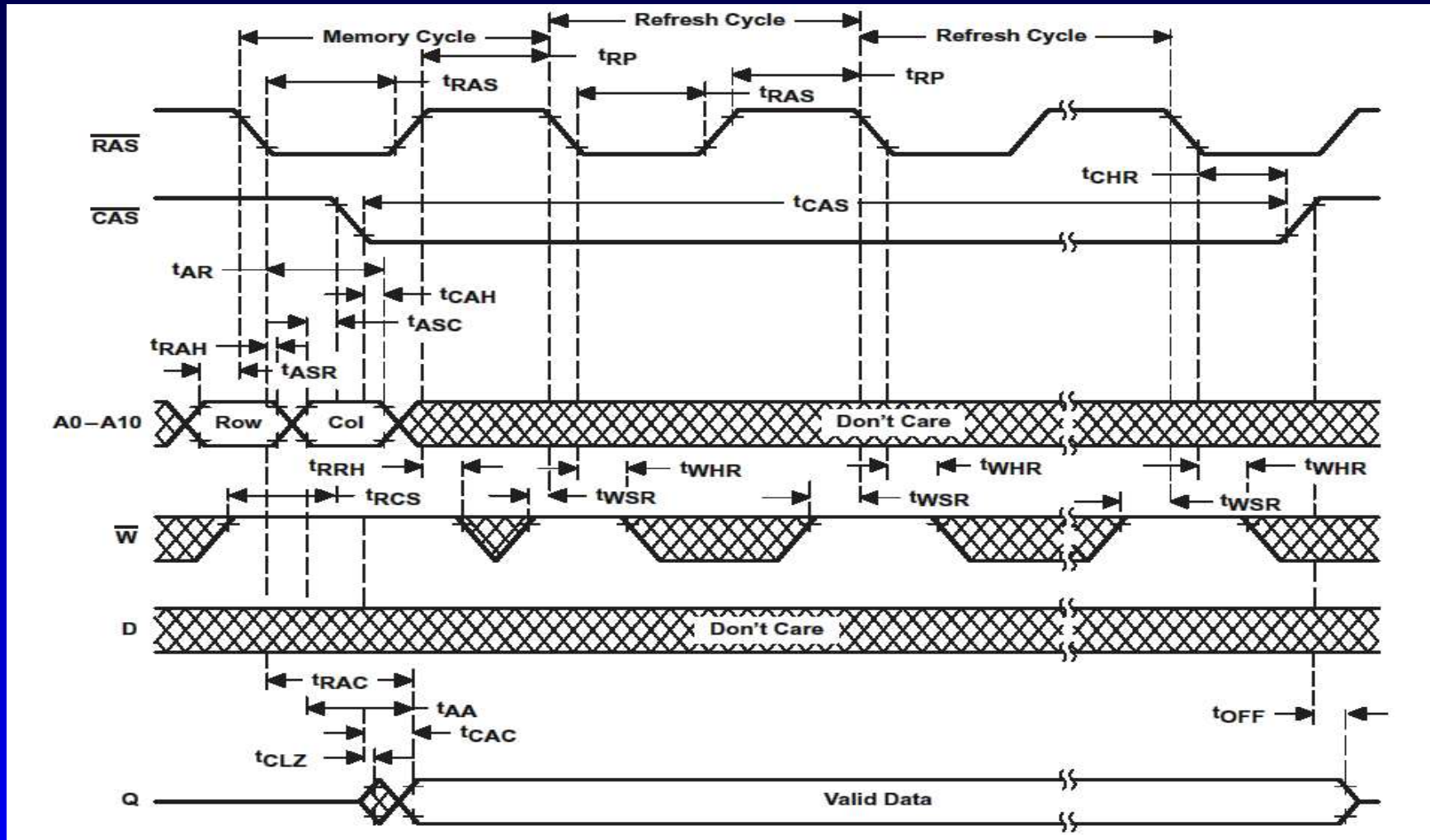
- Ciclos CBR são gerados internamente



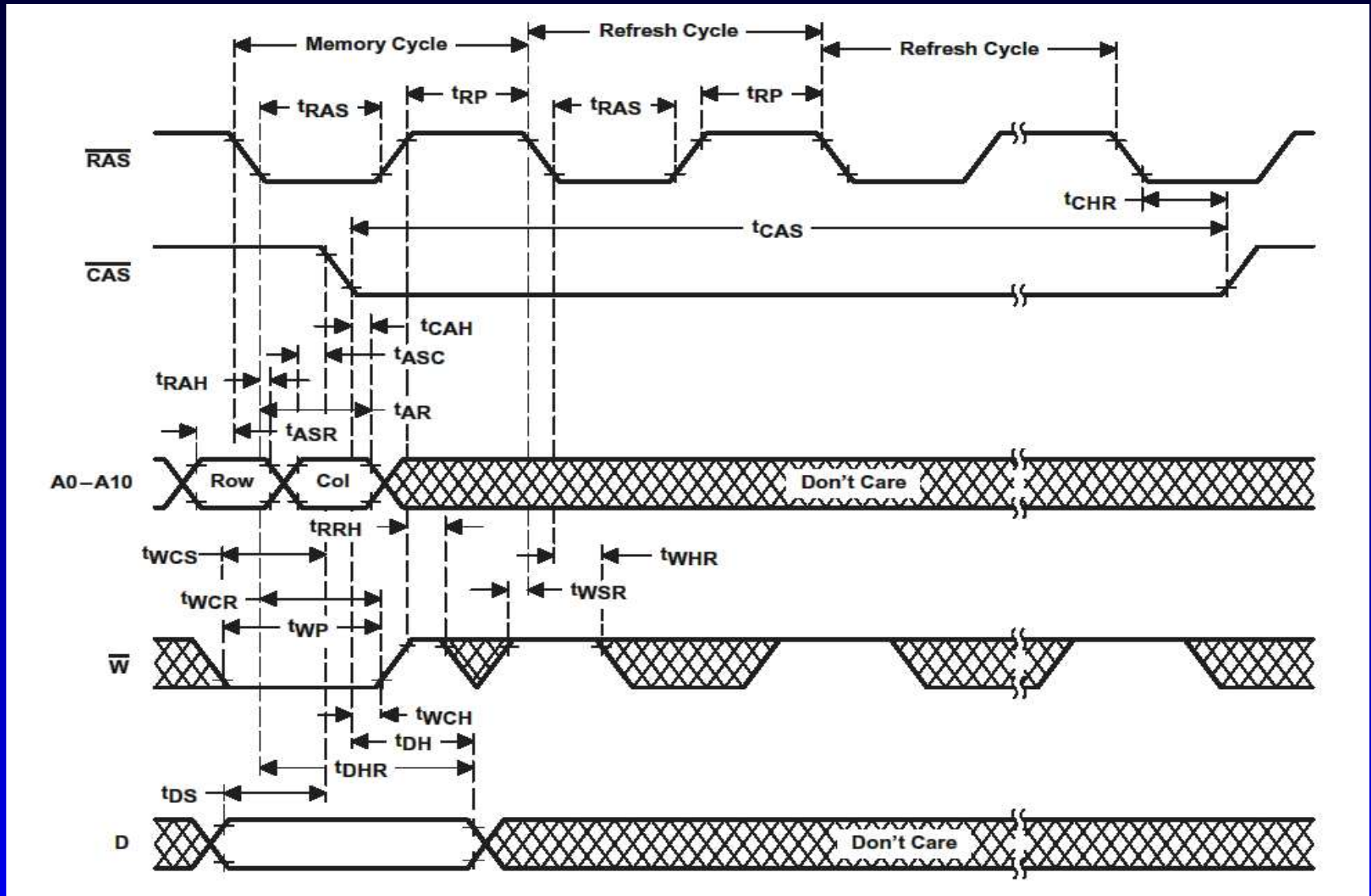
Hidden Self Refresh



- O RAS é pulsado após um acesso normal



Hidden Self Refresh - Escrita

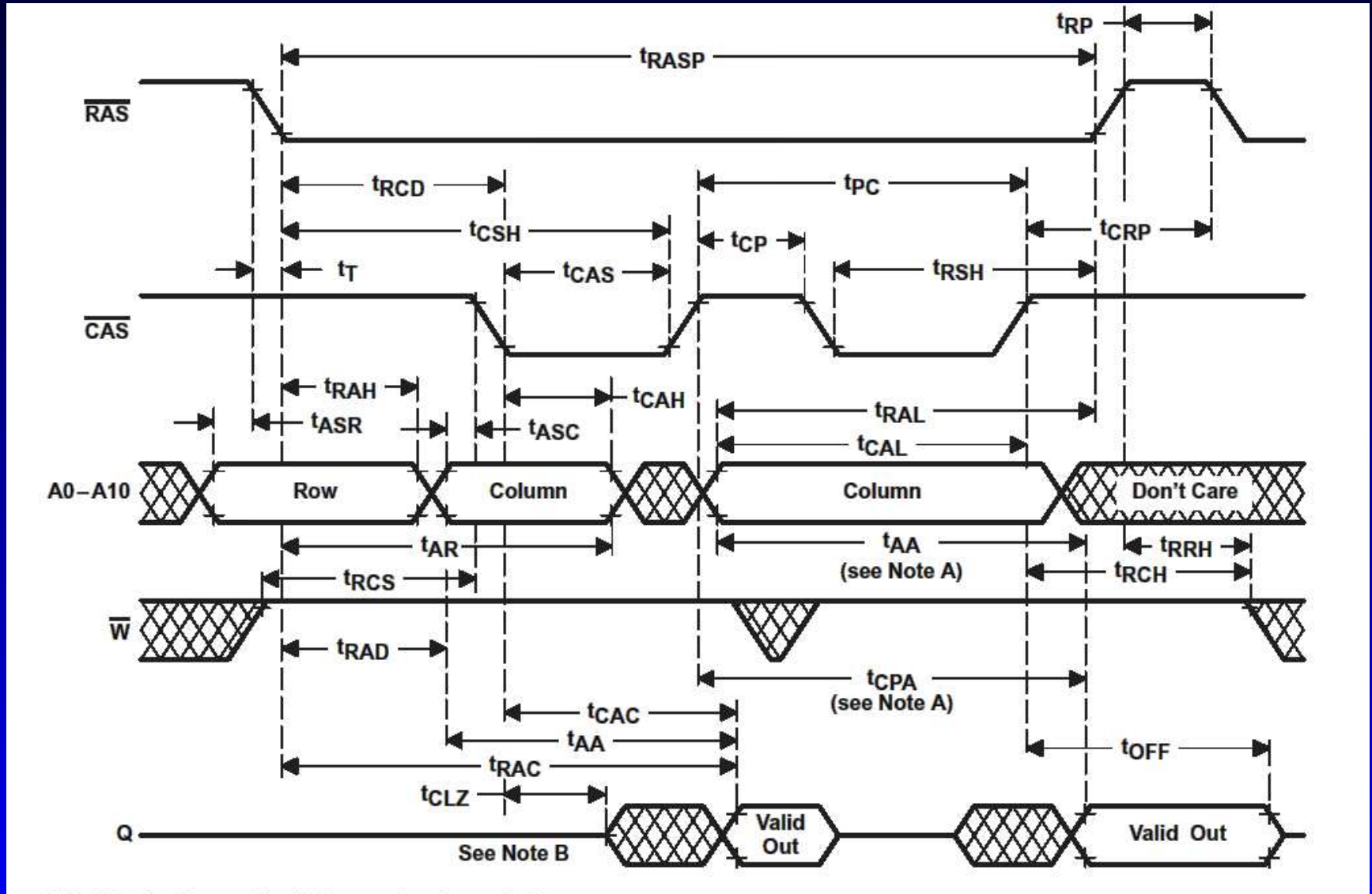




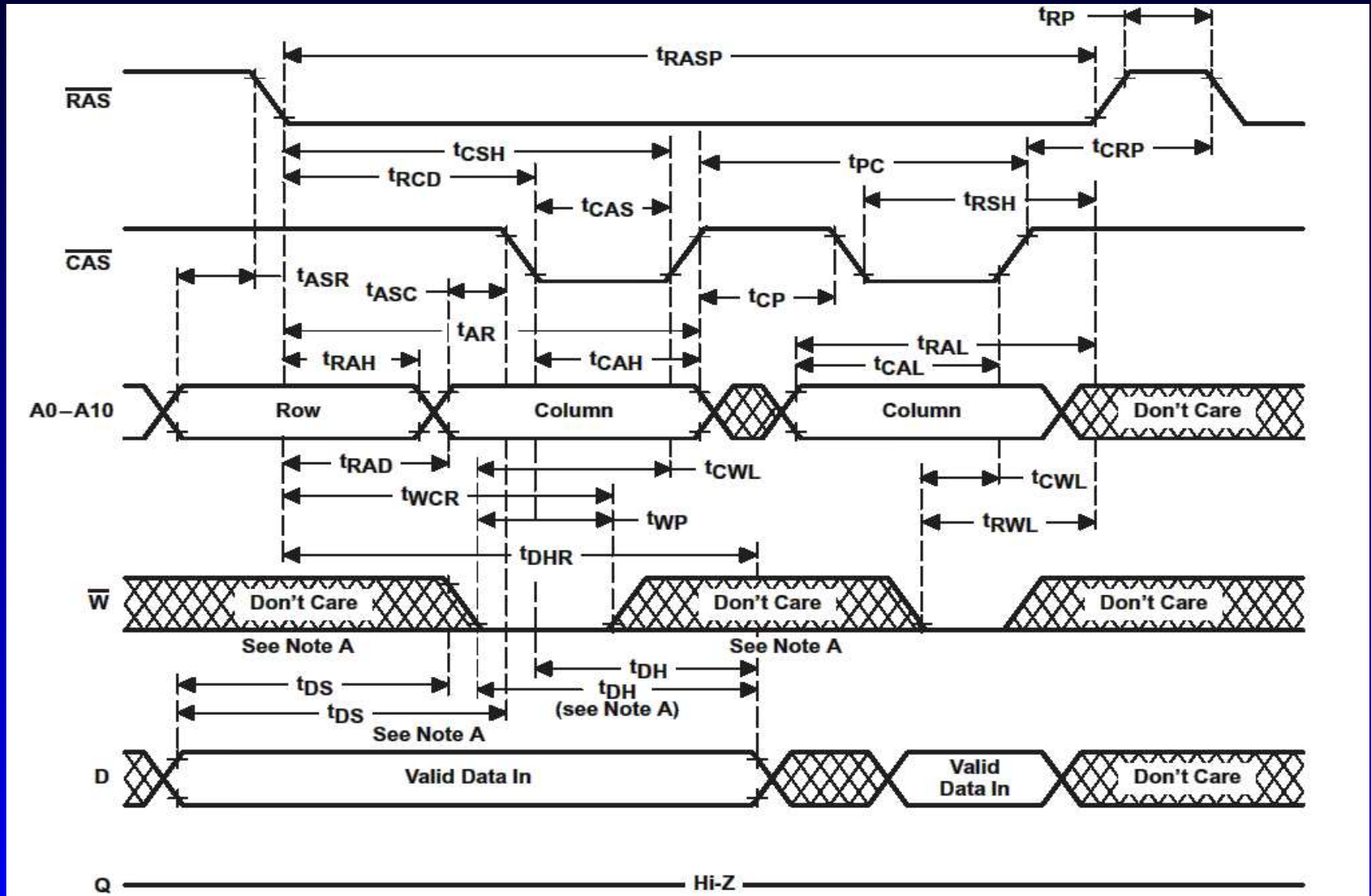
FPM RAM

- **Página da DRAM não tem relação alguma com a página de memória virtual do processador**
- Em processadores com memória *cache* os acesso a memória são feitos geralmente em endereços sequenciais
- É dado um RAS para diversos CAS
- Após os primeiro ciclo de acesso, os ciclos subsequentes ficam mais curtos
- Notação do tipo 5-3-3-3

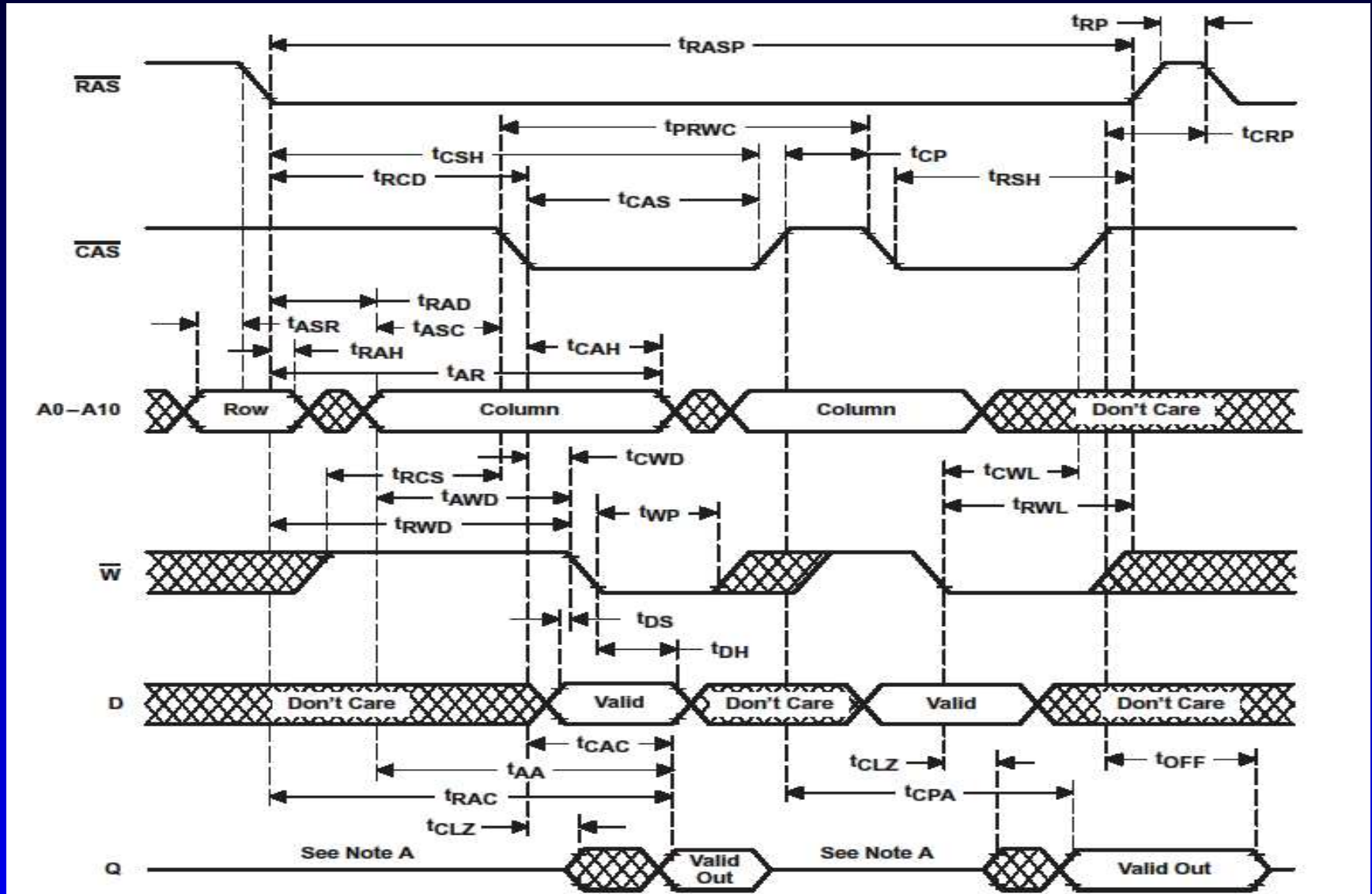
Leitura em Modo de Página



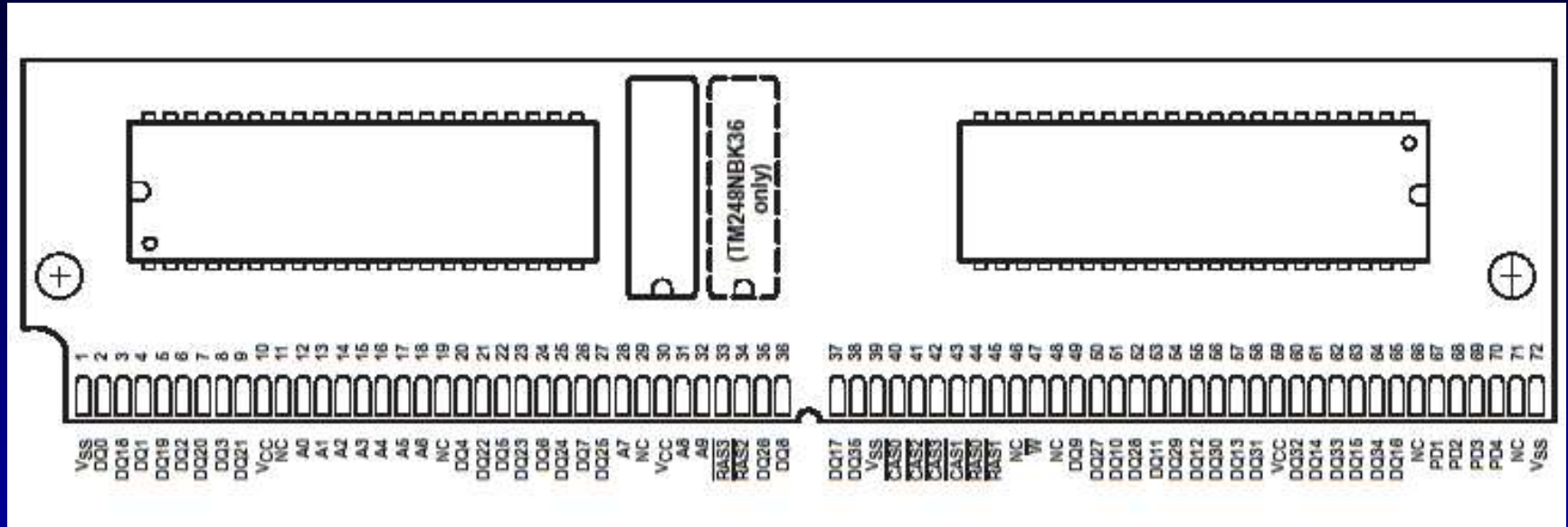
Escrita em Modo de Página



Leitura-Escrita em Modo de Página

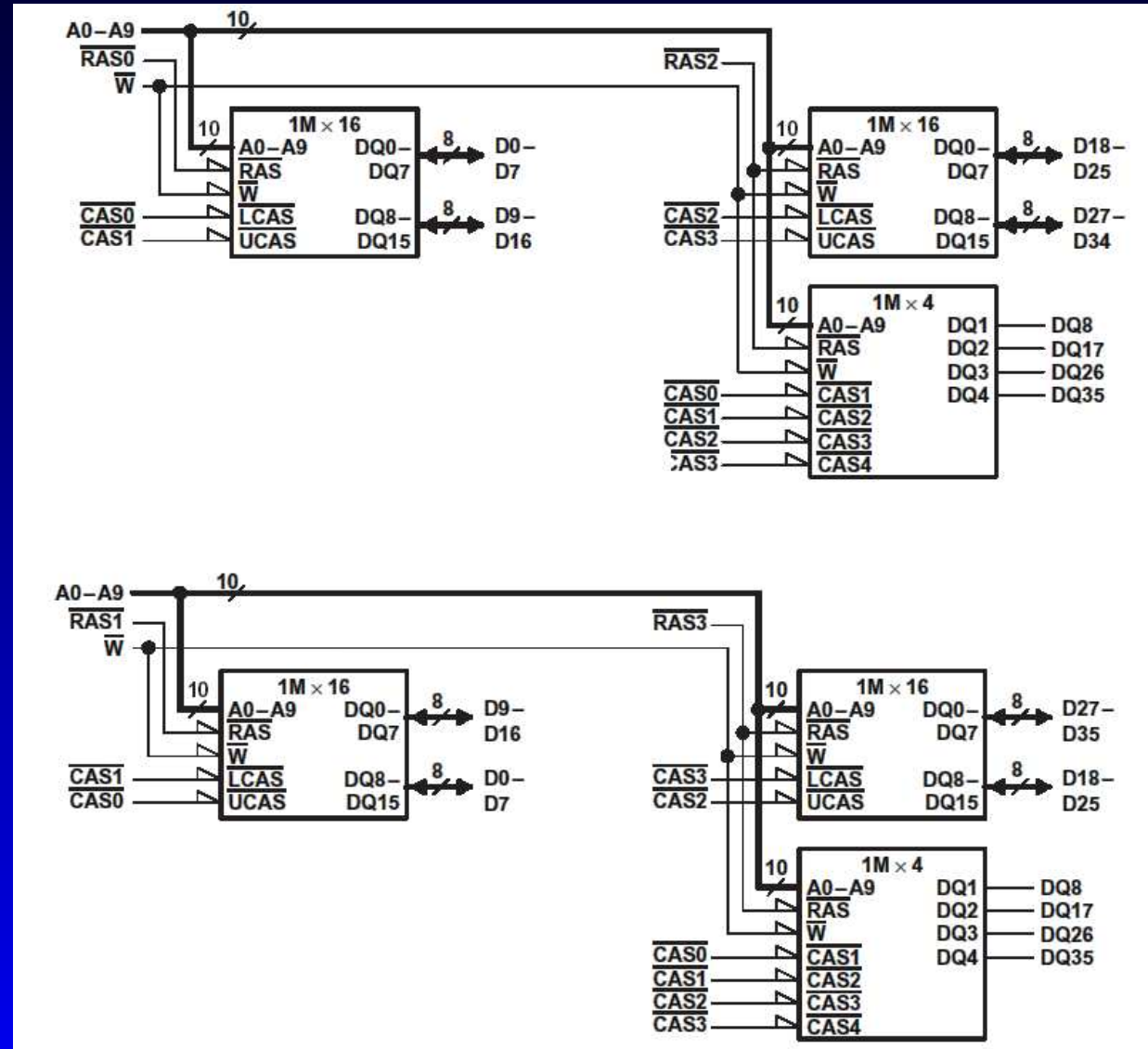


Pente 2Mb x 36





Pente 2Mb x 36





VRAM

- DRAM projetada para implementação de placas de vídeo
- Dual Port
 - Porta de acesso normal, como nas DRAM
 - Porta de acesso sequencial
- Pode realizar operações de máscara nos bits de entrada



SMJ44C251

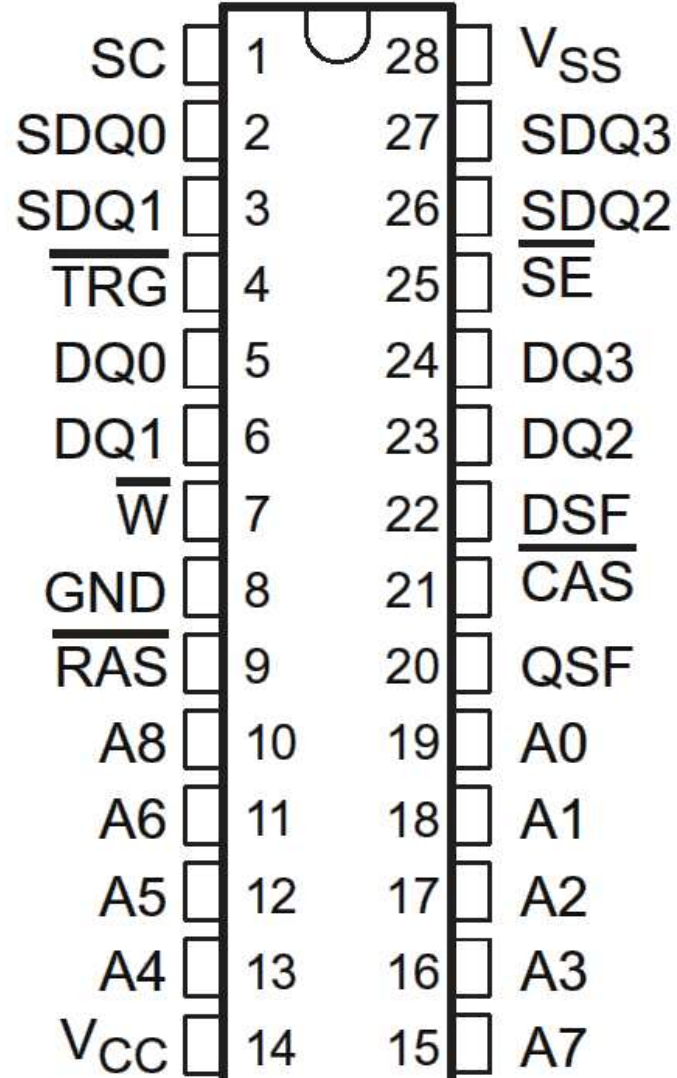
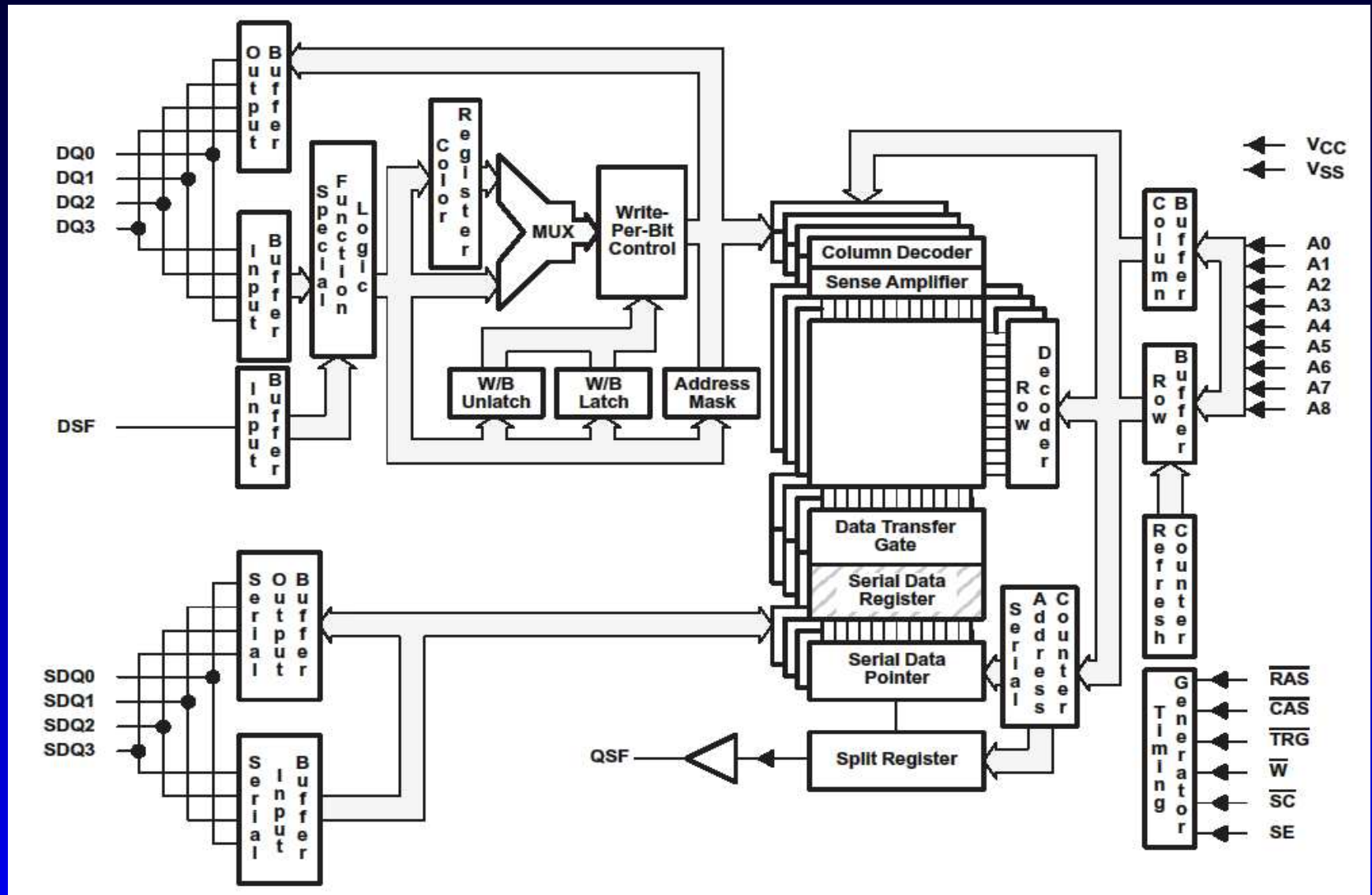
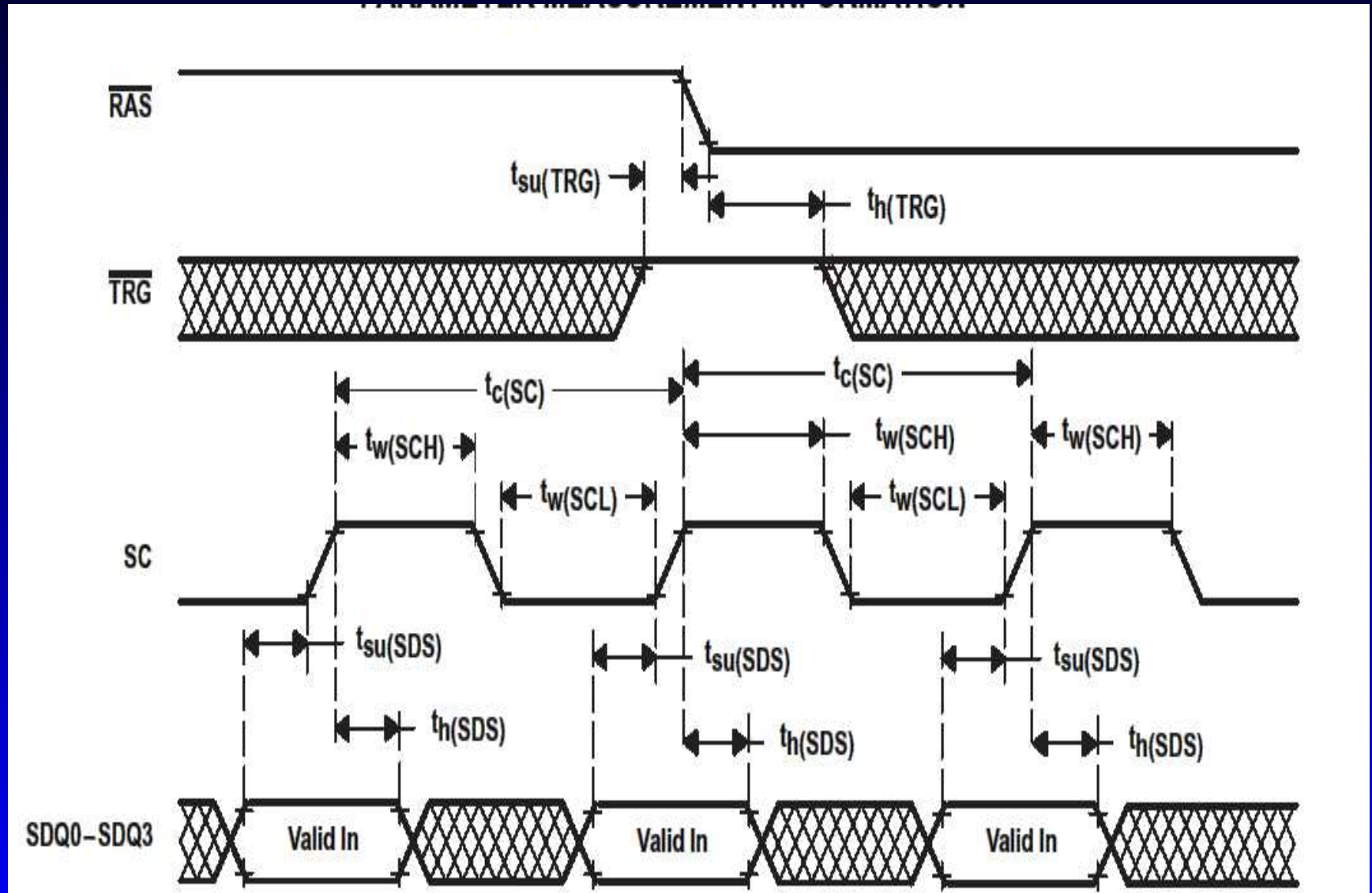


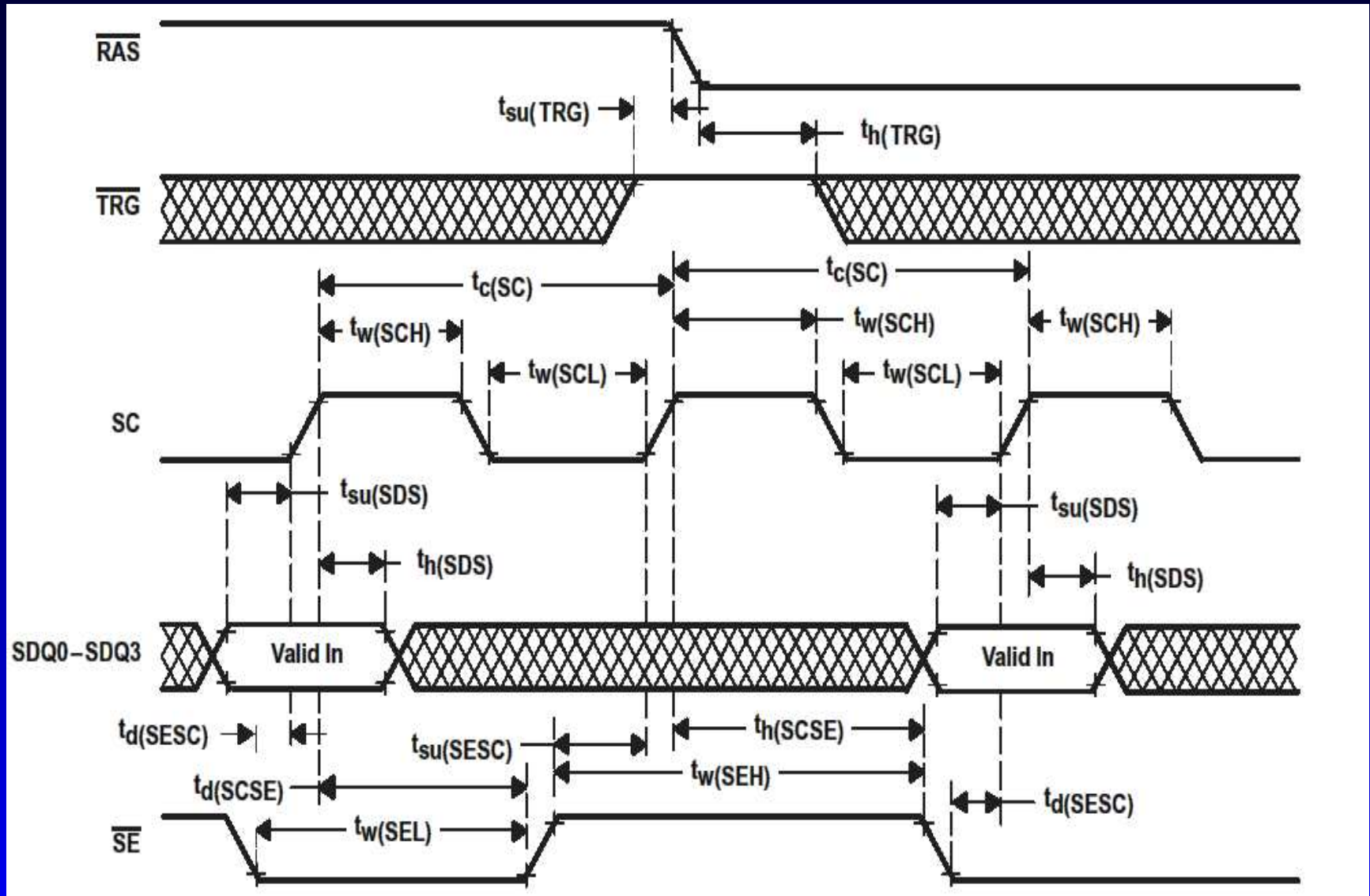
Diagrama de Blocos da SMJ44C251



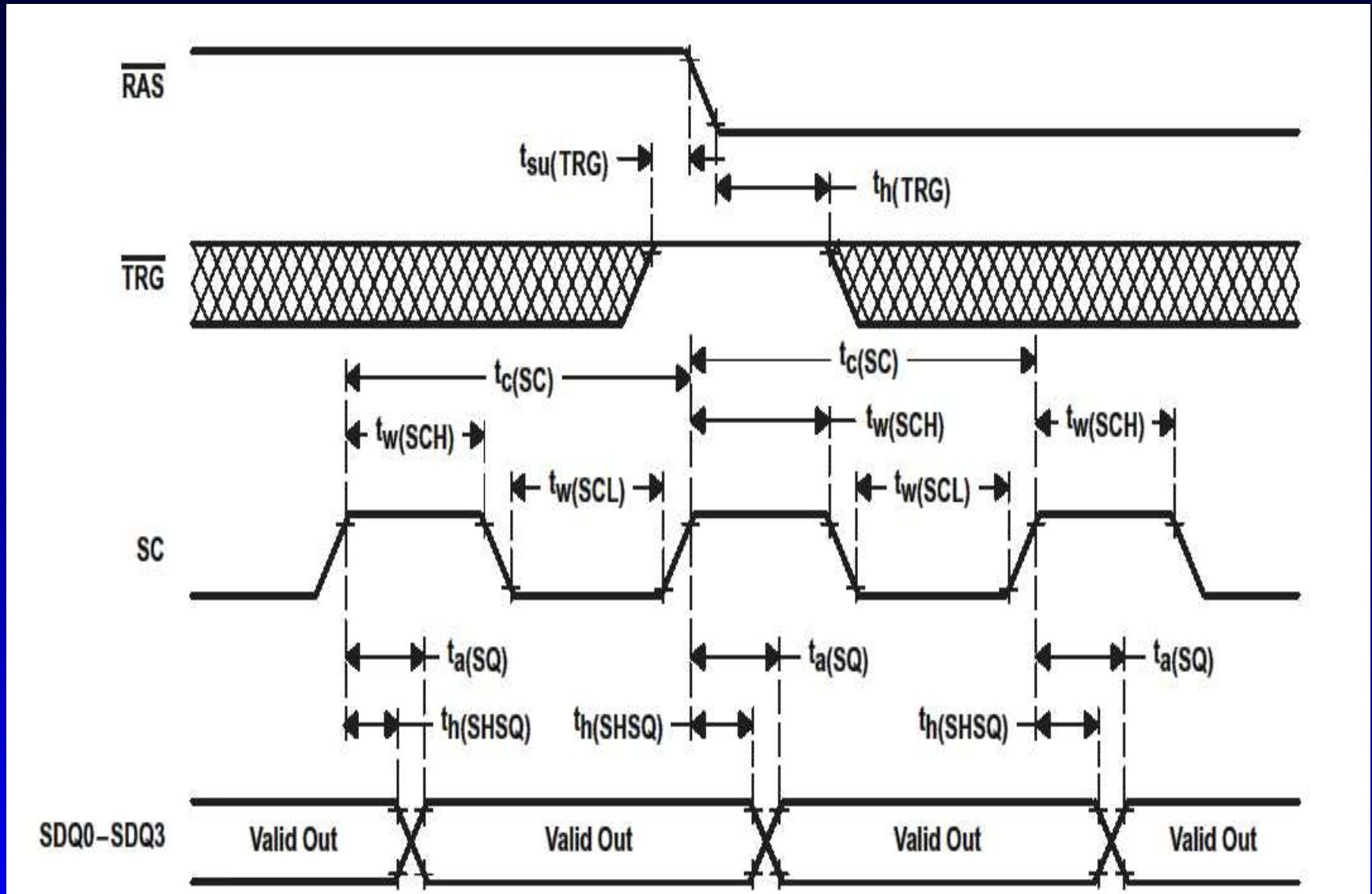
Escrita Sequencial



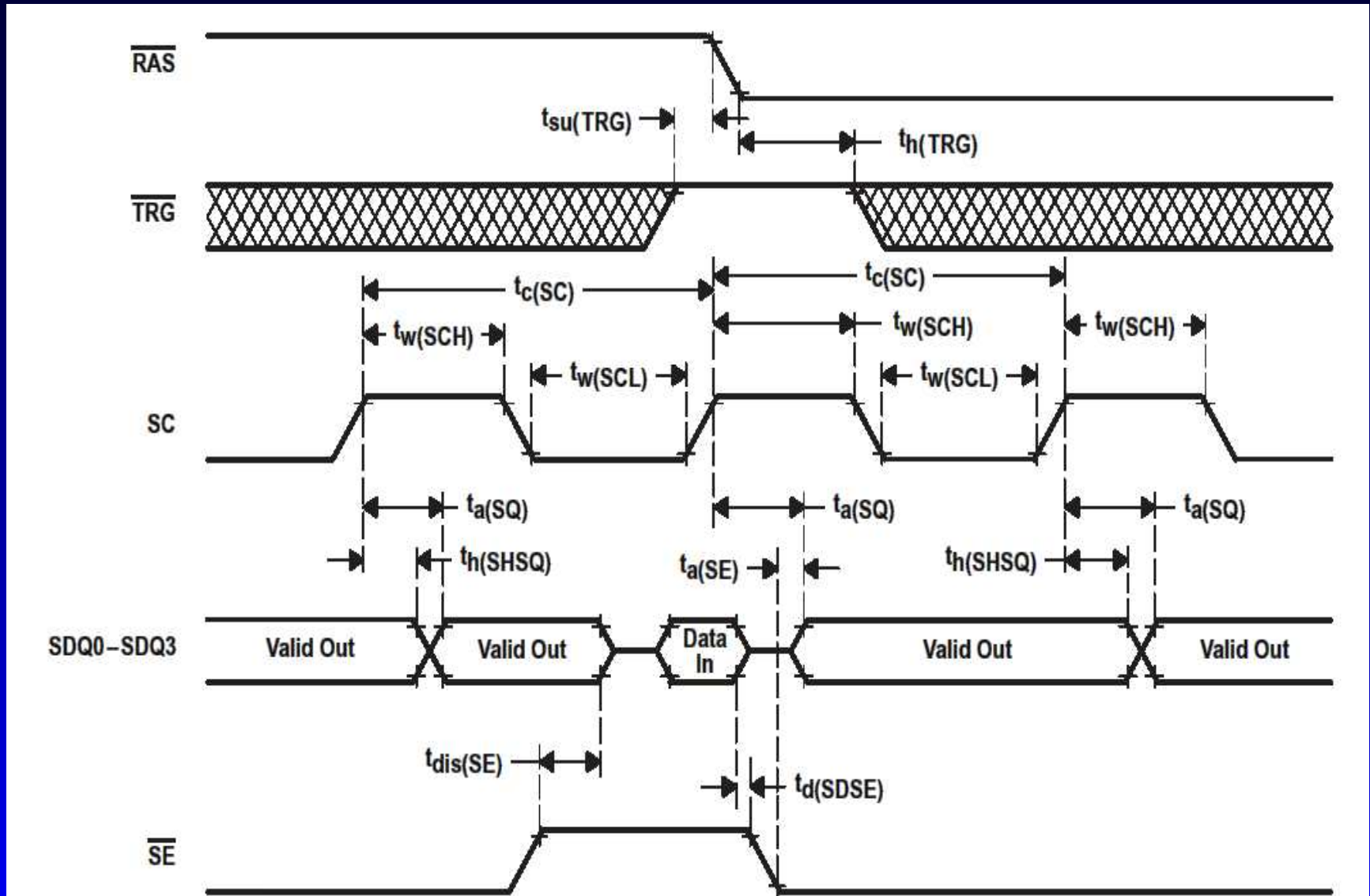
Escrita Sequencial por \overline{SE}



Leitura Sequencial



Leitura Sequencial por \overline{SE}





EDO RAM

- EDO é um tipo de modo de página
- Modo EDO só é utilizado em operações de leitura
- É incluído um latch na saída, liberando o $\overline{\text{CAS}}$ para dar o *strobe* para o próximo acesso
- Utiliza o sinal $\overline{\text{OE}}$
- O tempo em que o dado está disponível é maior do que na FPM RAM
- O ciclo do $\overline{\text{CAS}}$ é mais rápido do que na FPM
- Também é denominado *Hyper Page Mode*
- Acesso típico em 5-2-2-2



4216405

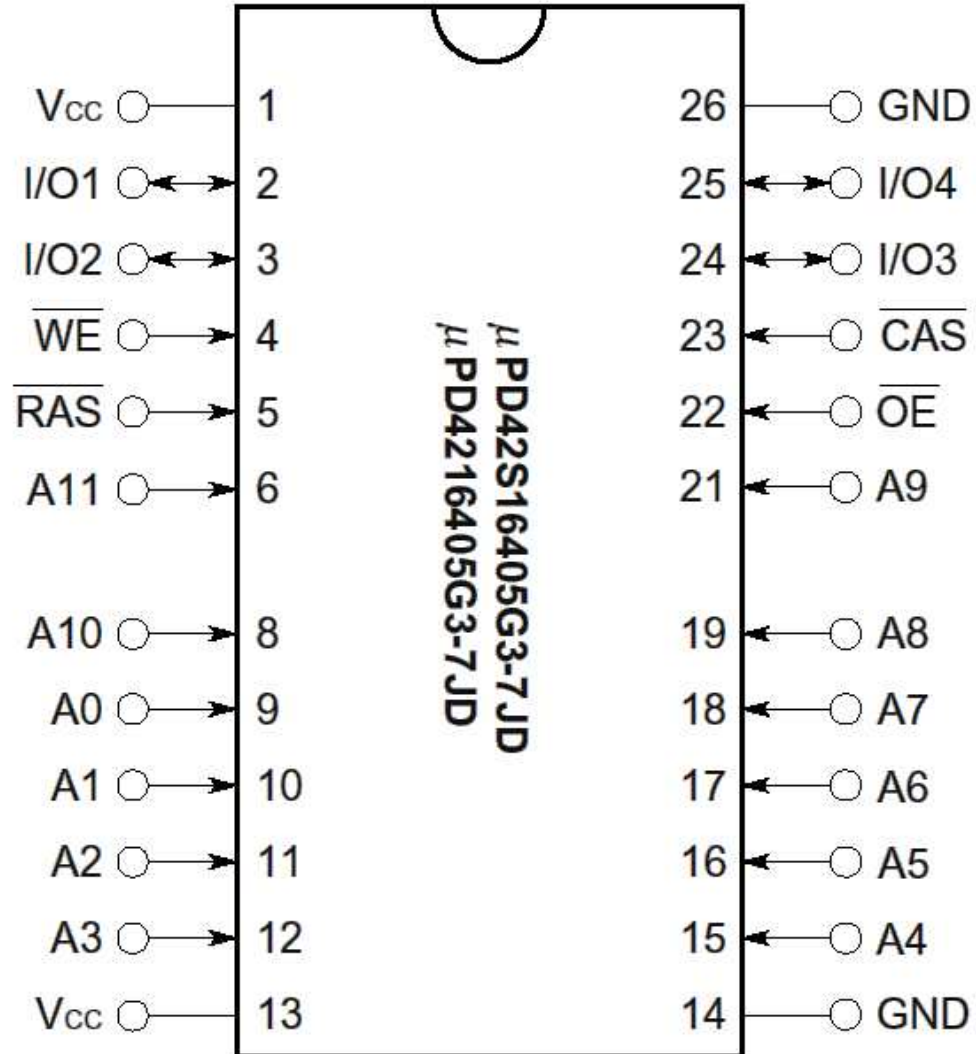
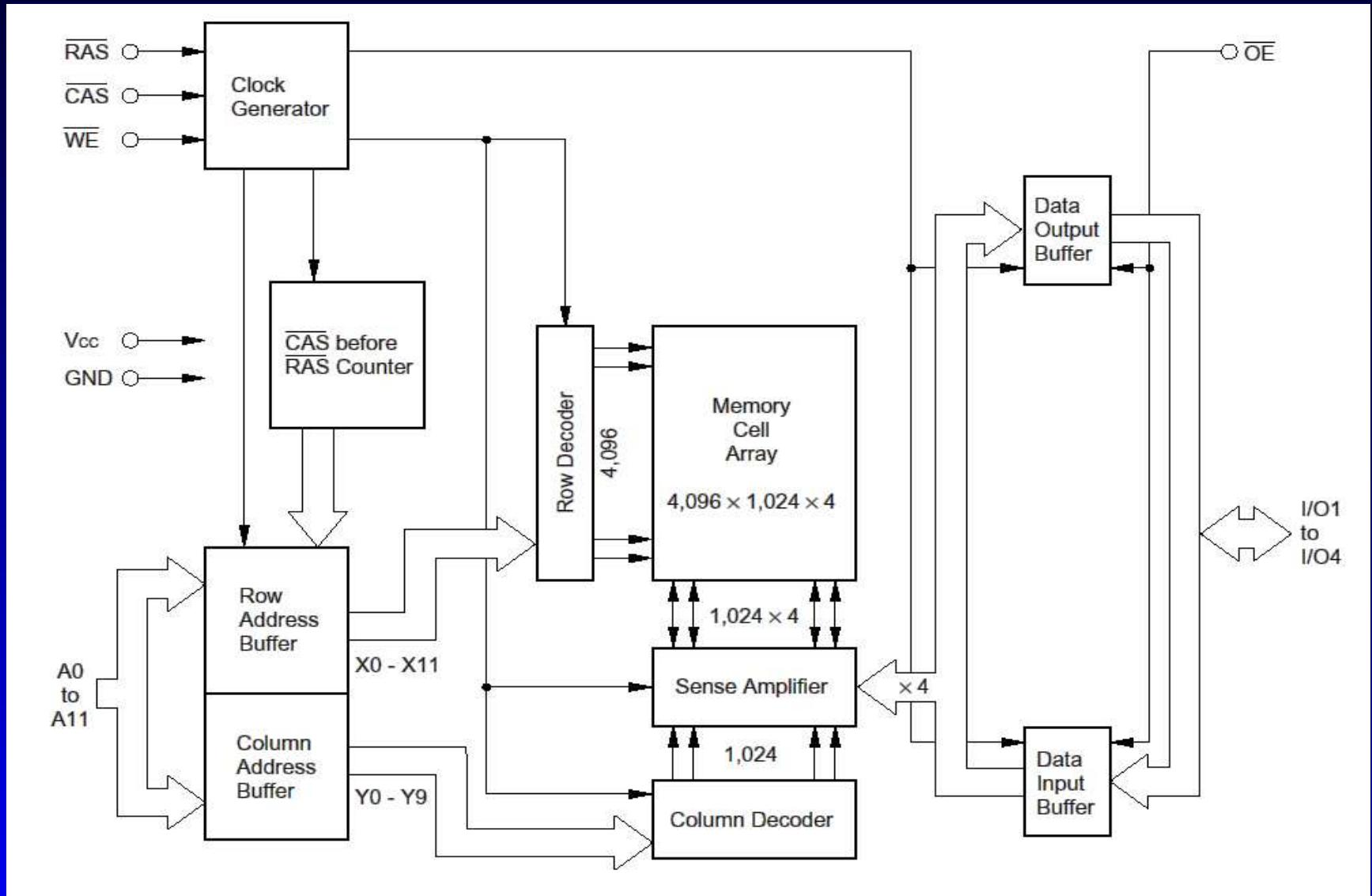
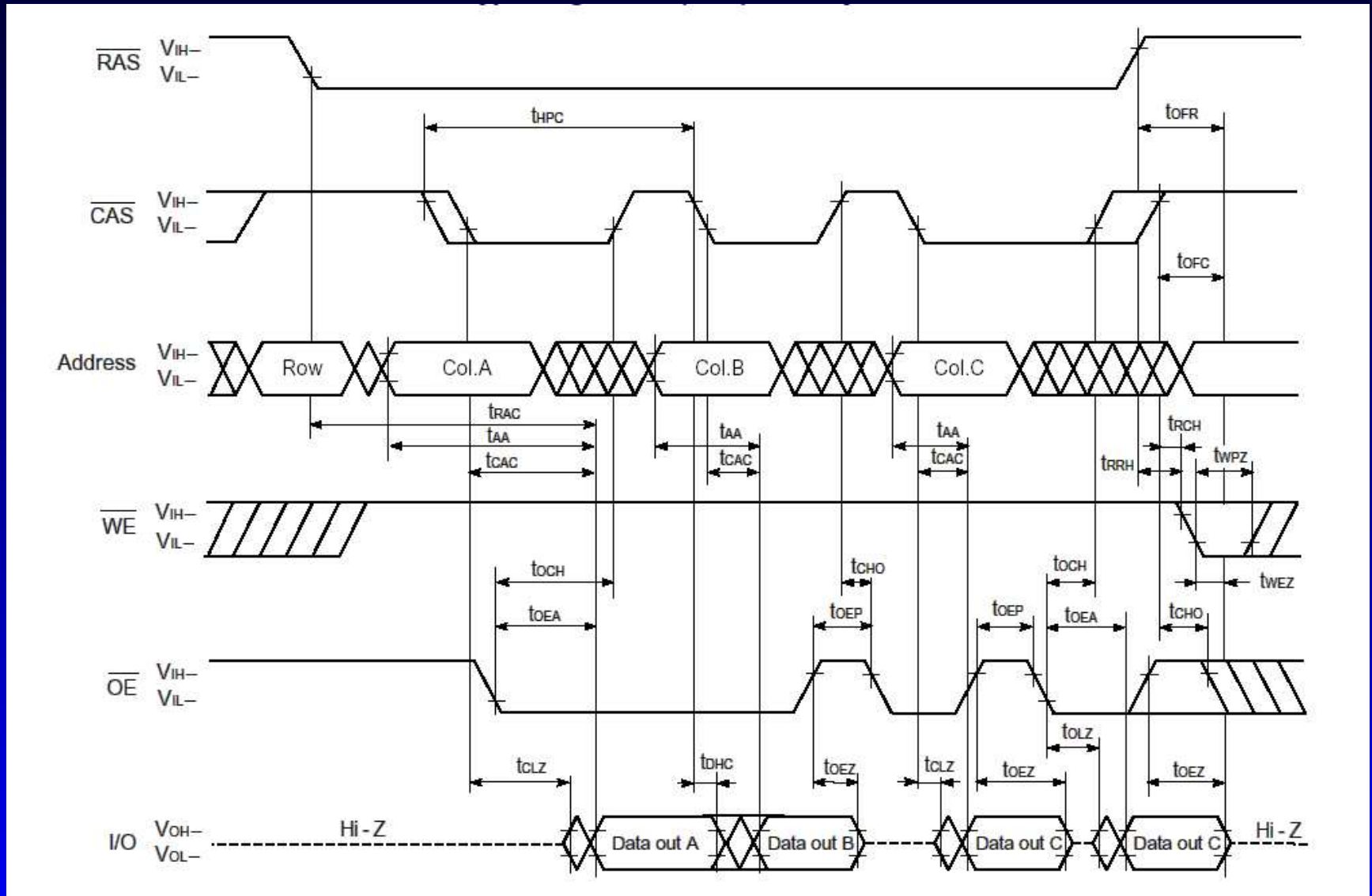


Diagrama de Blocos da 4216405



Ciclo de Leitura EDO





BEDO RAM

- Contador interno de 2, 3 ou 4 bits
- *Pipeline* permite a busca do dado na matriz e a disponibilização do dado no *latch* de saída
- Acesso típico em 5-1-1-1
- Não tiveram grande aceitação no mercado pois surgiram juntamente com as SDRAM, que eram mais vantajosas



SDRAM

- Tipicamente operações de acesso à memória são sequenciais
- Endereços podem ser gerados internamente
- Operação baseada em comandos
 - Comandos são combinações dos sinais de controle
- PC100=SDRAM a 100MHz
- Acesso em 5-1-1-1

4564441



- 4M x 4 bits x 4 bancos

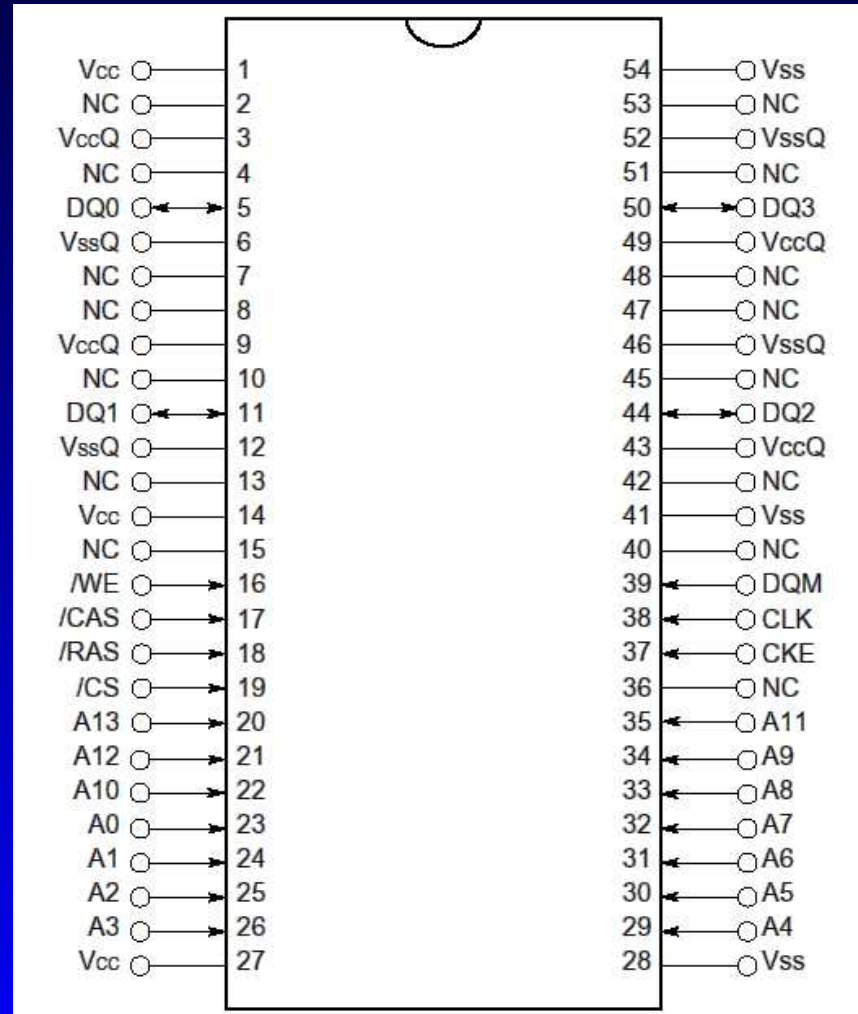
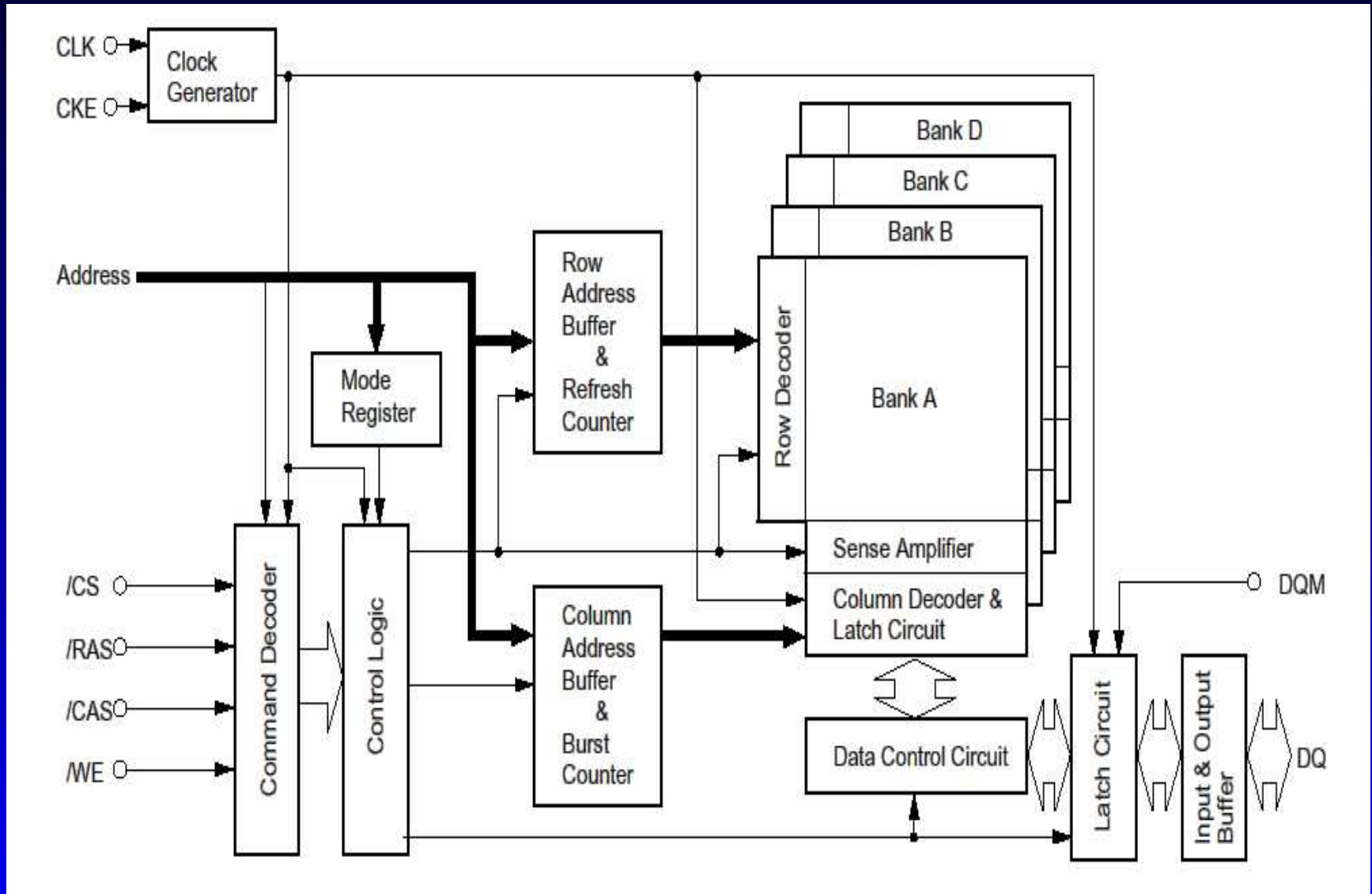


Diagrama de Blocos da 4564441



Comandos da 4564441

Mode register set configura o modo

Activate seleciona o banco e o endereço de linha

Precharge inicia a operação de pré-carga em um ou todos os bancos

Write inicia uma escrita em rajada

Read inicia uma leitura em rajada

CBR refresh inicia uma operação de *refresh* CBR command

Self refresh inicia um *self refresh*

Burst stop interrompe uma operação em rajada

No operation

Comandos da 4564441



Comando	\overline{CS}	\overline{RAS}	\overline{CAS}	\overline{WE}	CKE
Mode register set	L	L	L	L	
Activate	L	L	H	H	
Precharge	L	L	H	L	
Write	L	H	L	L	
Read	L	H	L	H	
CBR refresh	L	L	L	H	H
Self refresh	L	L	L	H	L
Burst stop	L	H	H	L	
No operation	L	H	H	H	

Registrador de Modo da 4564441



13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	1							

JEDEC Standard Test Set (refresh counter test)

13	12	11	10	9	8	7	6	5	4	3	2	1	0
X	X	X	X	1	0	0	LTMODE	WT				BL	

Burst Read and Single Write
(for Write Through Cache)

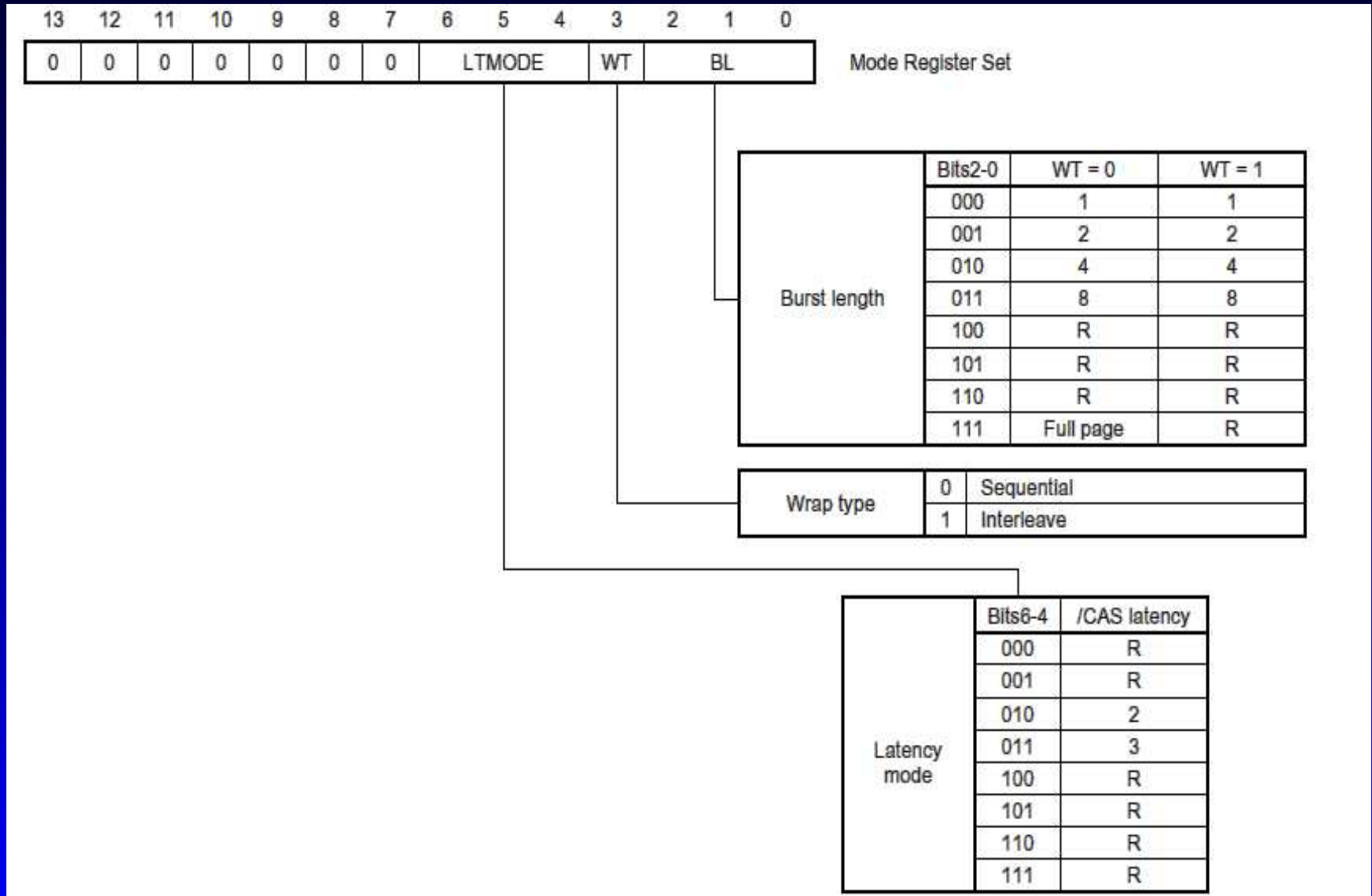
13	12	11	10	9	8	7	6	5	4	3	2	1	0
					1	0							

Use in future

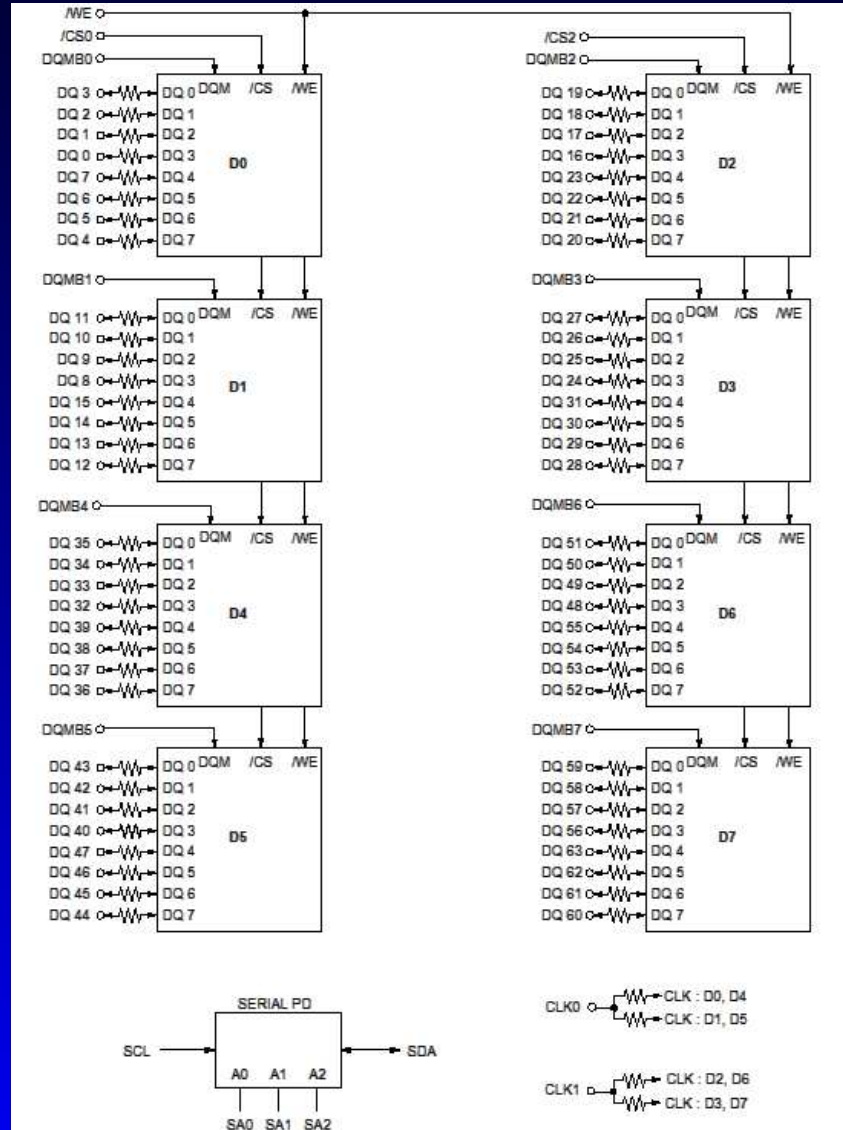
13	12	11	10	9	8	7	6	5	4	3	2	1	0
X	X	X	X	X	1	1	V	V	V	V	V	V	V

Vender Specific

Registrador de Modo da 4564441



Pente 458CB645





DDR SDRAM

- SDRAM com transferência de dados em ambas as bordas do clock
- Duas SDRAM em paralelo, uma transferindo os dados em cada borda do clock
- $PC3200=DDR400=200 \times 2 \times 8$
- Possui um *strobe* bidirecional DQS