



# Peripheral Component Interconnect *PCI*

Walter Fetter Lages

`w.fetter@ieee.org`

Universidade Federal do Rio Grande do Sul

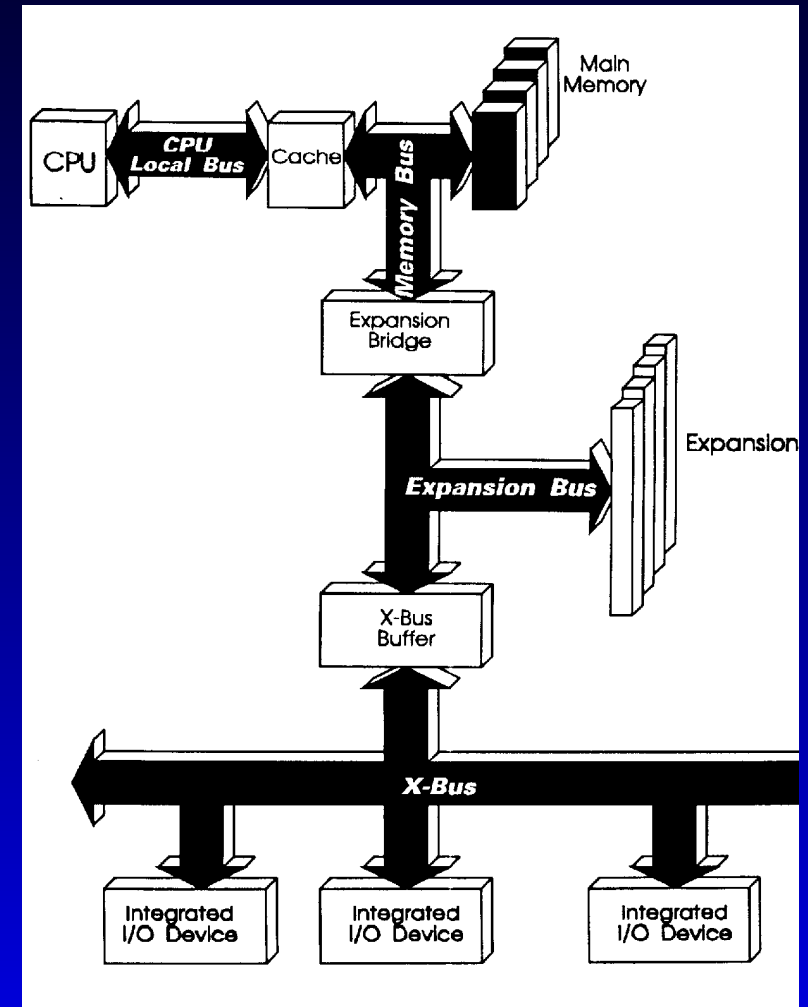
Escola de Engenharia

Departamento de Engenharia Elétrica

Microprocessadores II

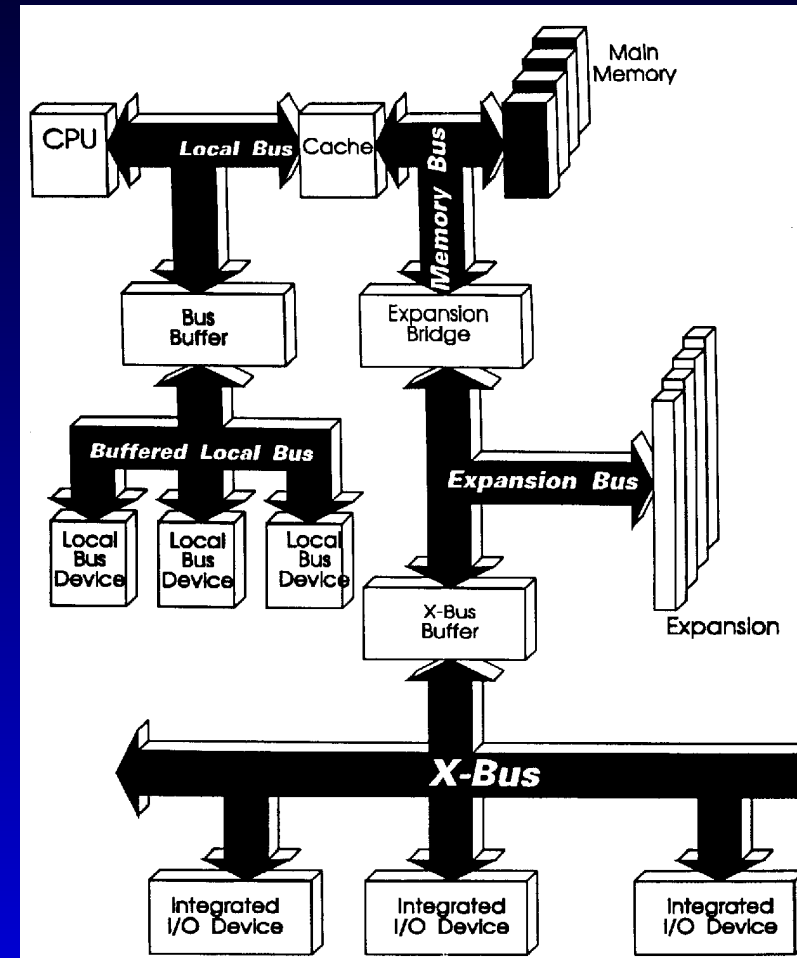
# X-bus

- Extensão bufferizada do barramento de expansão onde são conectados os dispositivos on-board
- Taxa de transferência limitada



# Barramento Local

- Interface dependente do processador utilizado.
- Não permite concorrência

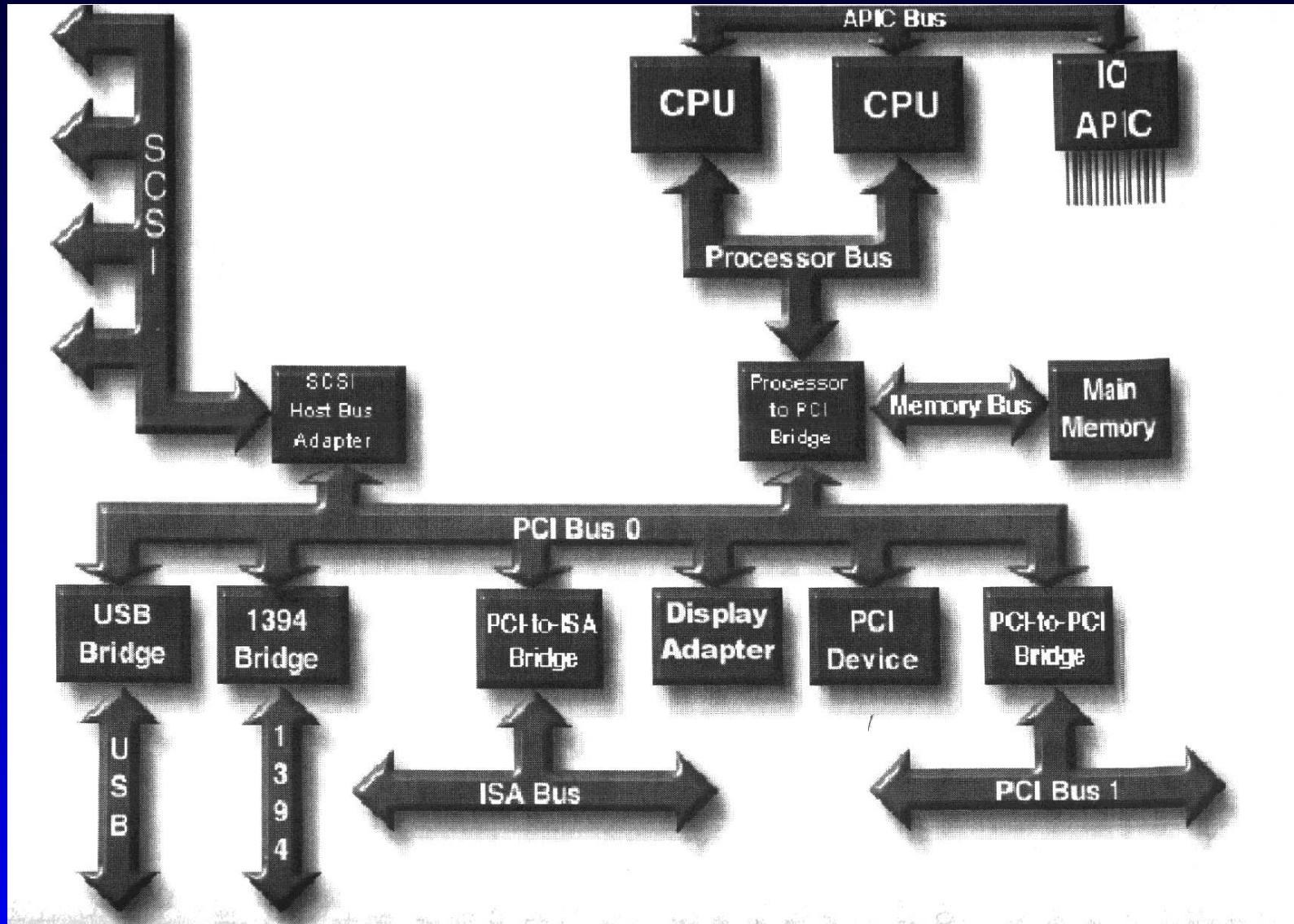




# Peripheral Component Interconnect

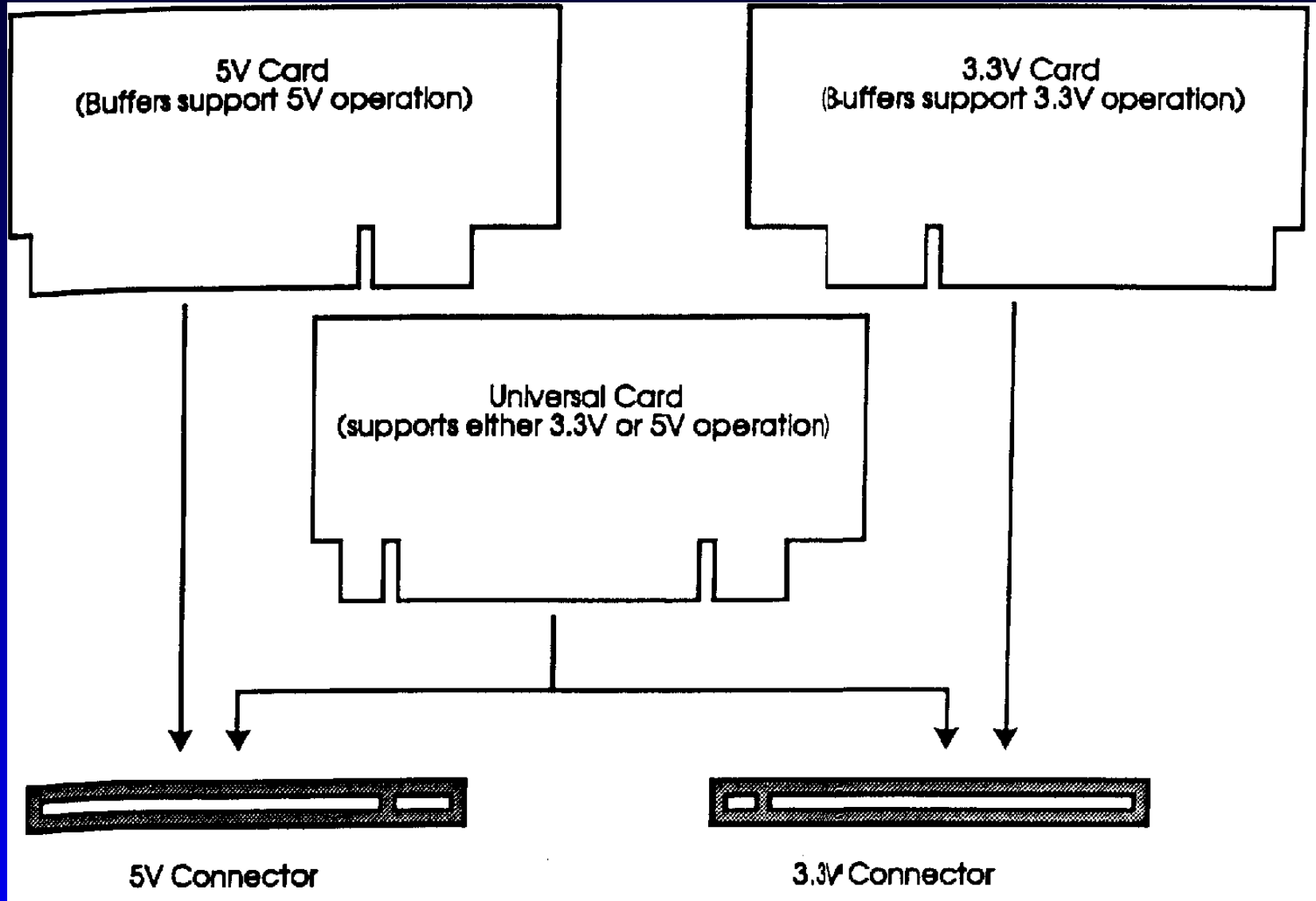
- Operação independente do processador
- 32 bits de dados (extensão para 64 bits)
- 32 bits de endereços (extensão para 64 bits)
- Suporta bus-master
- Arbitragem oculta
- Paridade
- Três espaços de endereçamento
- Configuração automática

# Arquitetura do Sistema PCI



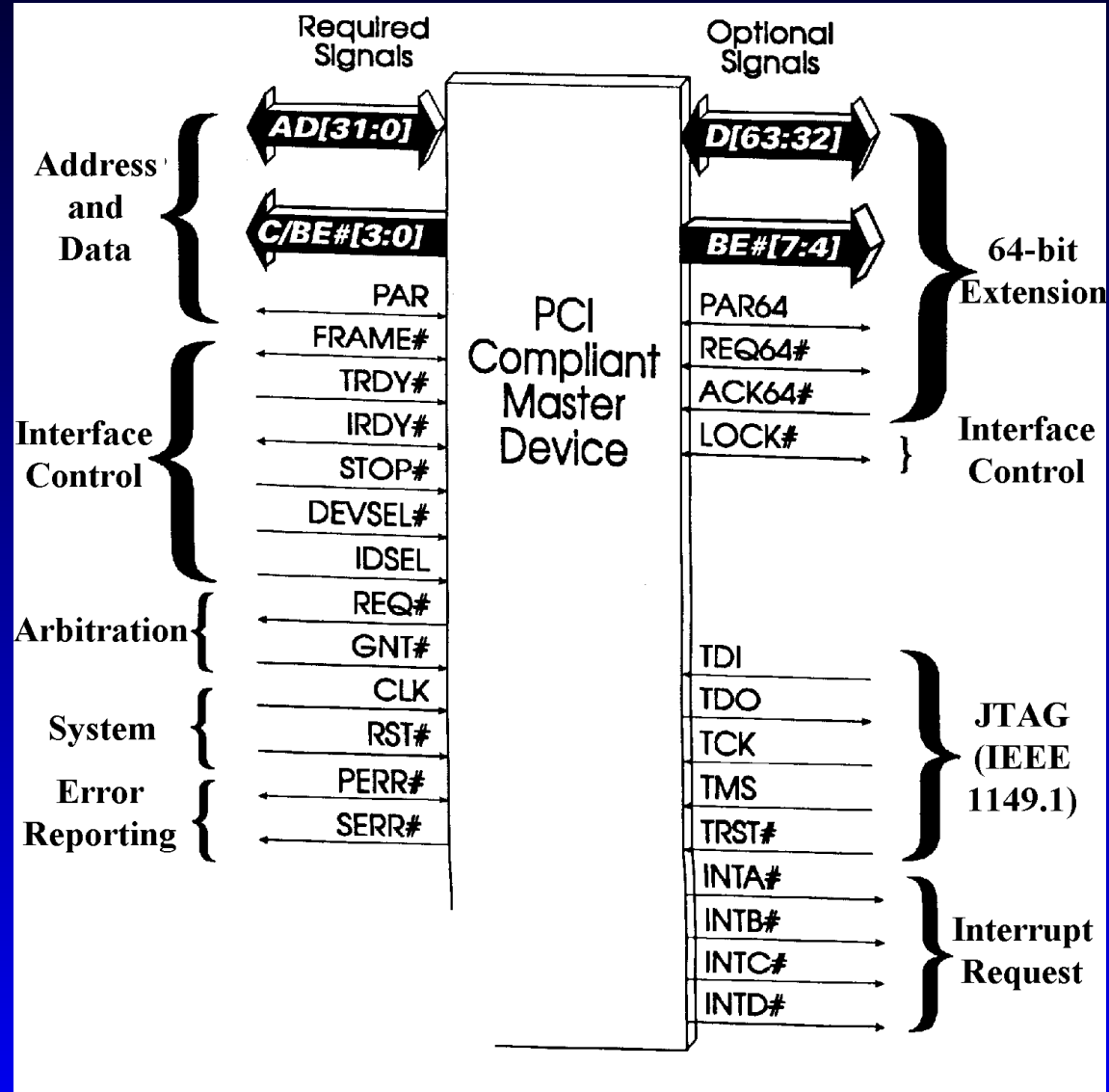


# Slots PCI



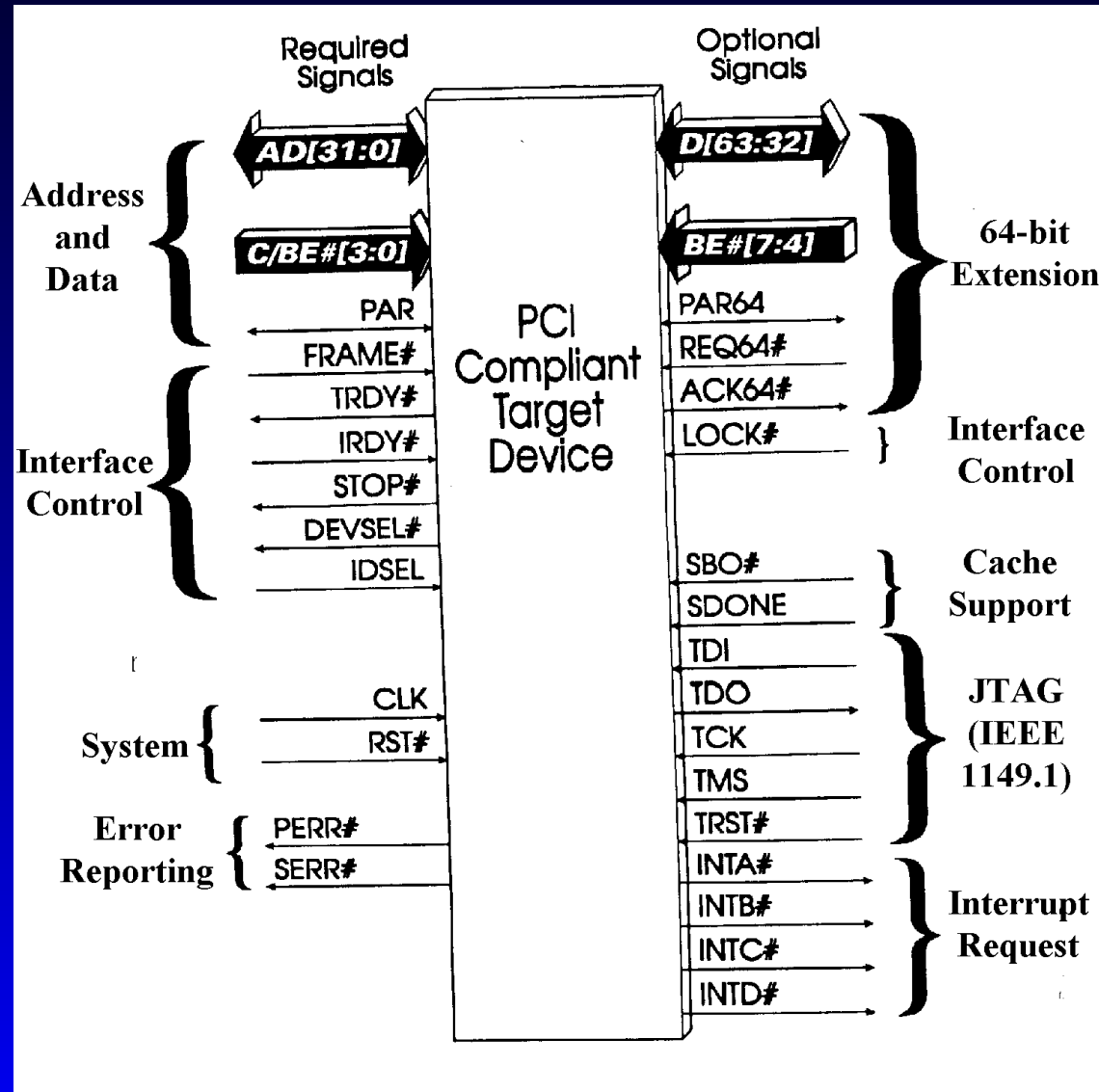


# Sinais PCI - Master





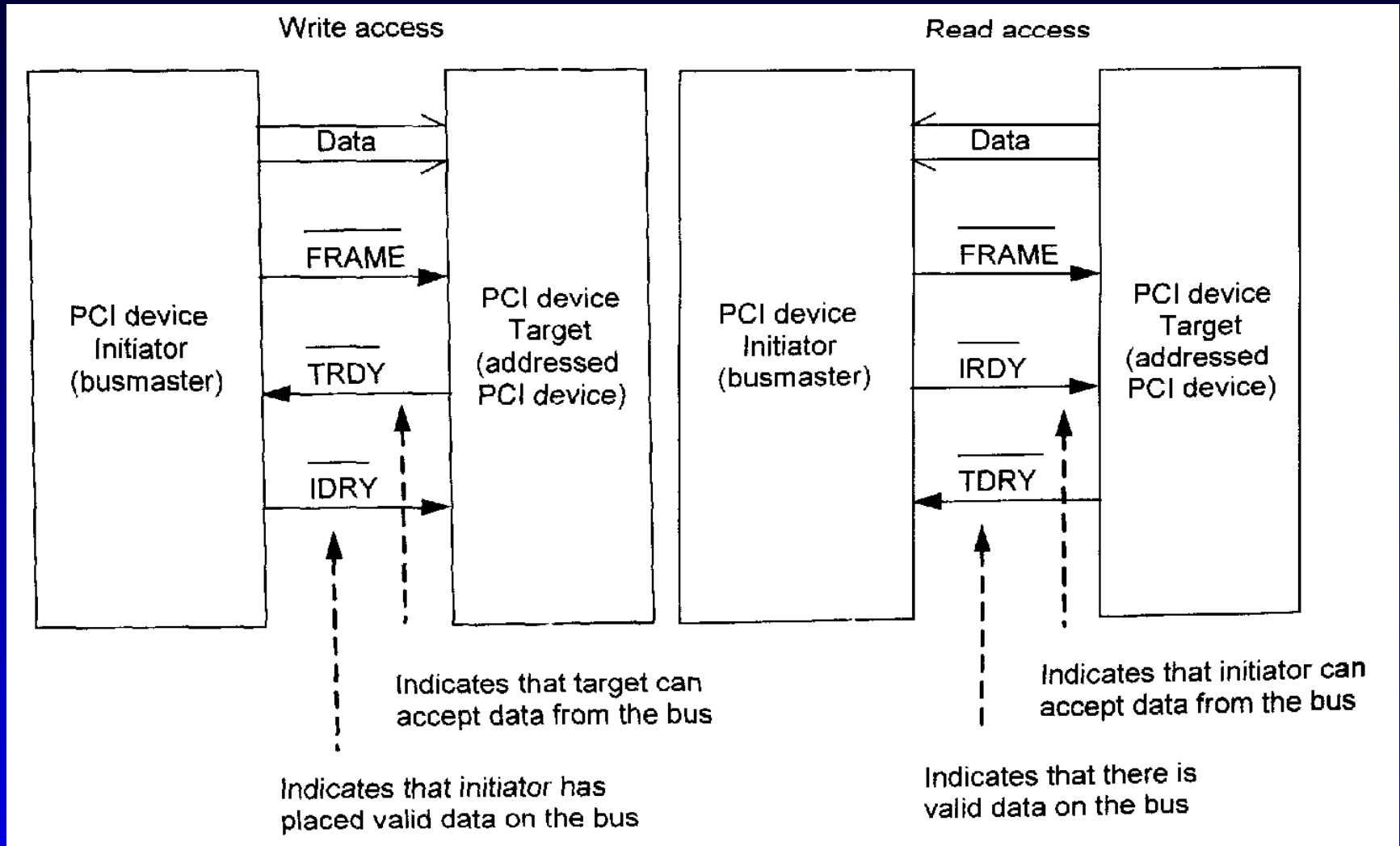
# Sinais PCI - Target



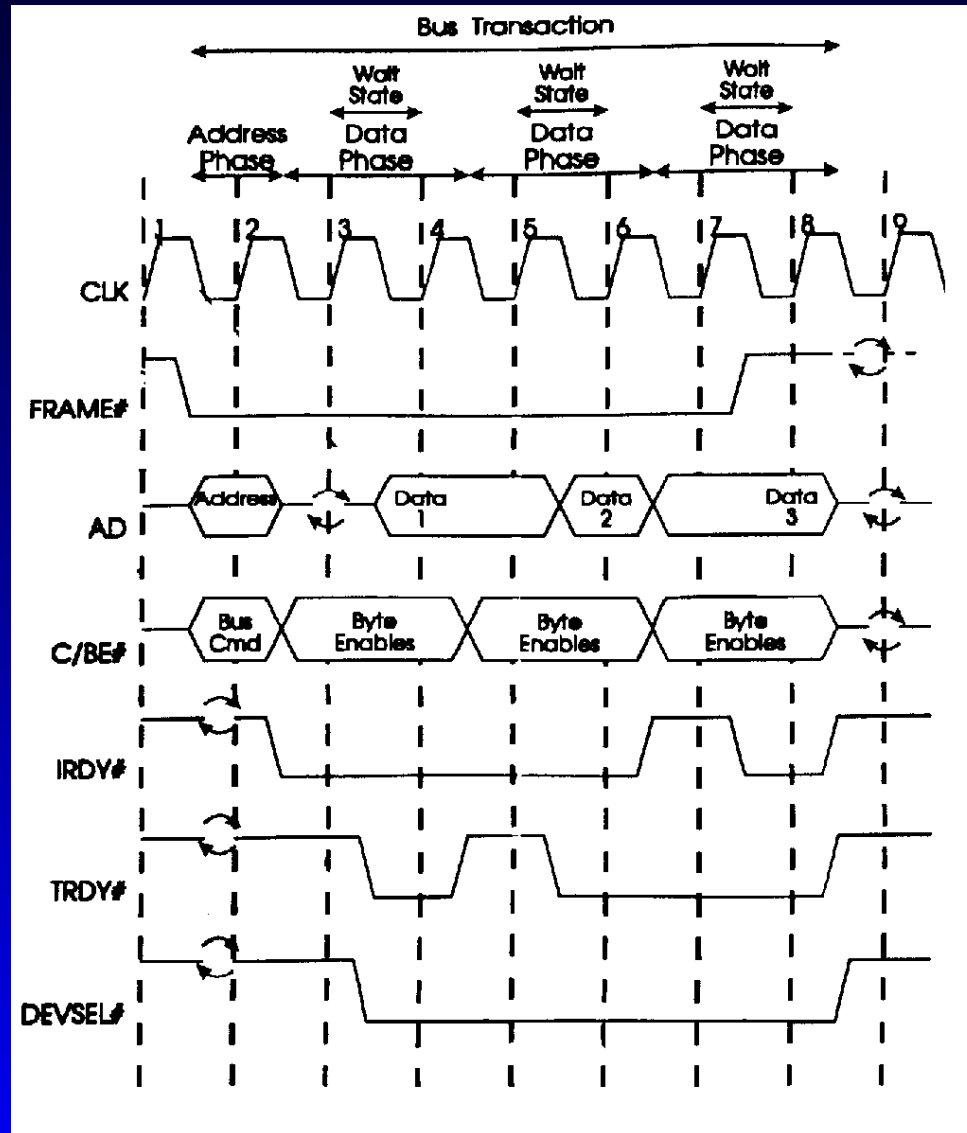




# Handshaking



# Ciclo de Barramento Típico





# Comandos

- Reconhecimento de interrupção (0000)
- Ciclo especial (0001)
- Leitura de I/O (0010)
- Escrita de I/O (0011)
- Leitura de memória (0110)
- Escrita de memória (0111)
- Escrita de configuração (1011)
- Leitura múltipla de memória (1100)
- Ciclo dual-address (1101)
- Leitura de linha de memória (1110)
- Escrita de memória e invalidação (1111)

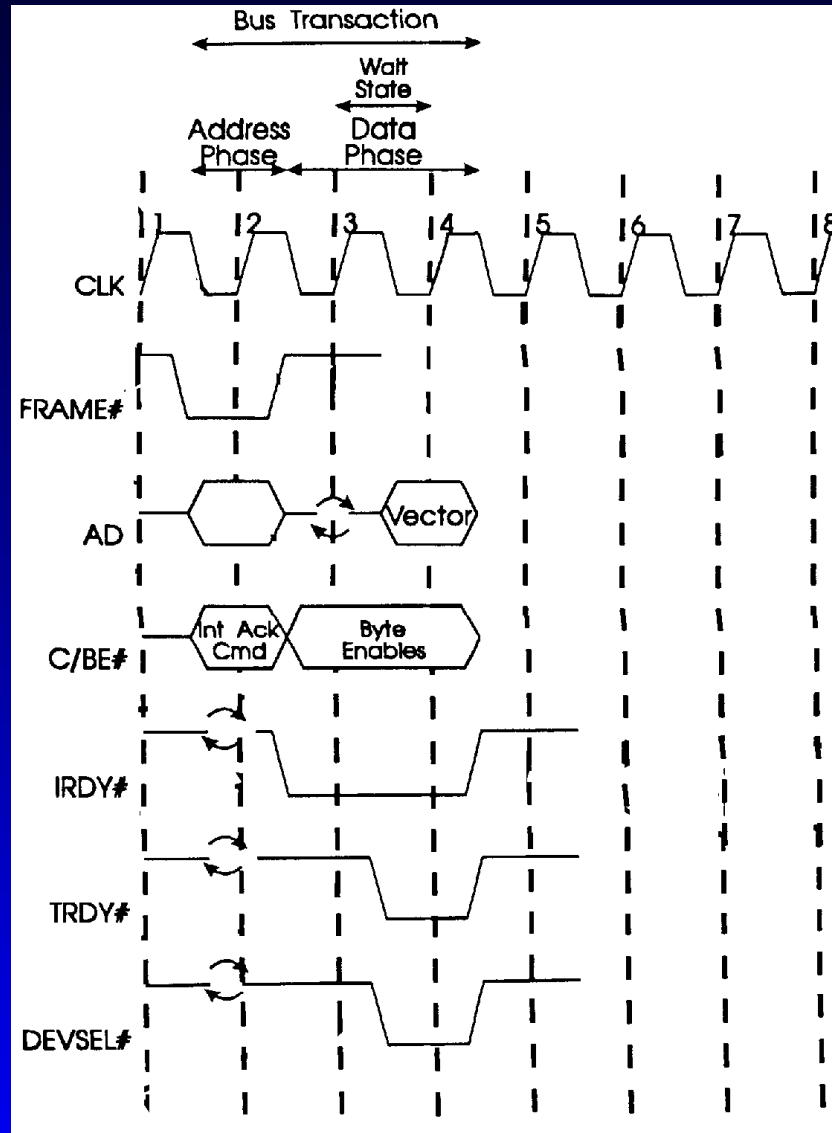
# Reconhecimento de Interrupção



- Bridge Host/PCI:
  - Sinaliza ciclo de reconhecimento de interrupção
  - Ativa #IRDY
- Target controlador de interrupções:
  - Mantém #TRDY desativado por 1 ciclo
    - Turn-around dos drivers da bridge
  - Reclama a transação (ativa #DEVSEL)
  - Insere o vetor de interrupções
  - Ativa #TRDY



# Ciclo INTA

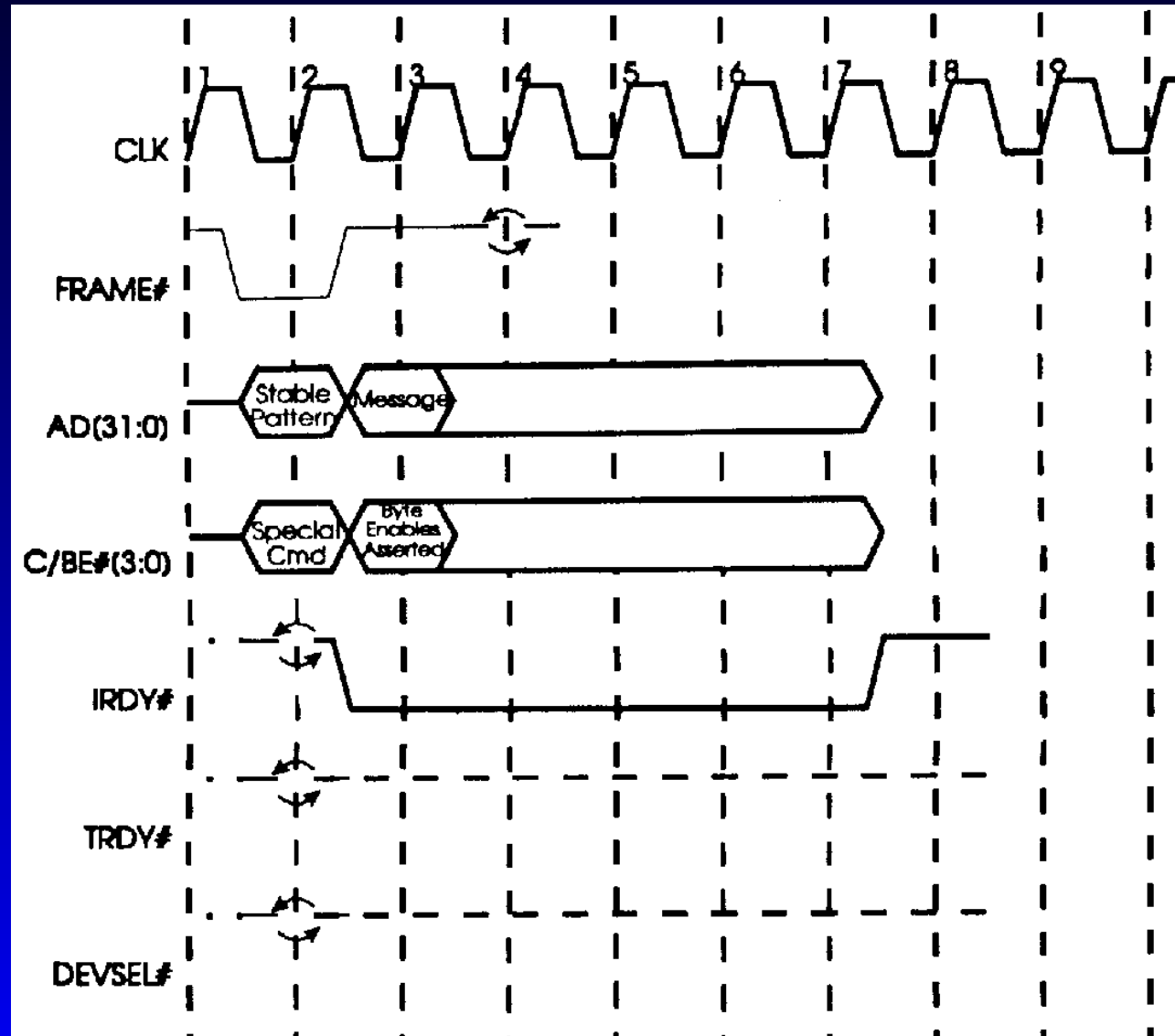




# Ciclo Especial

- Utilizado para difundir uma mensagem
- Nenhum target reclama a transação
- Initiator deve abortar a transação
- Códigos de mensagem em AD[15:0]
  - 0000h = Shutdown
  - 0001h = Halt
  - 0002h = mensagem específica do ix86
    - AD[31:16] contém código específico da Intel

# Ciclo Especial



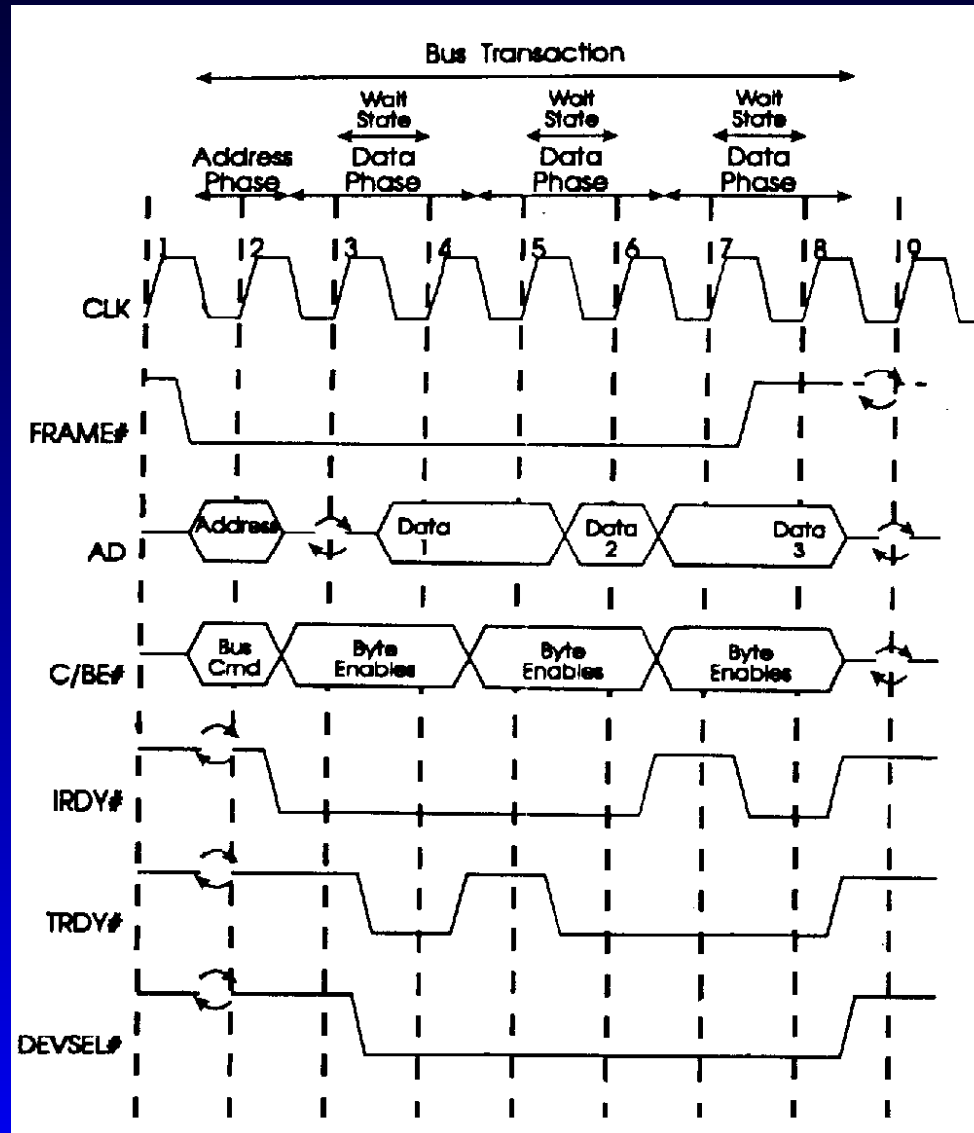


# Leitura de Memória

- Reg. de Cache Line Size implementado:
  - Leitura: até 1/2 linha de cache
  - Leitura de linha: de 1/2 a 3 linhas de cache
  - Leitura múltipla: mais de 3 linhas de cache
- Reg. de Cache Line Size não implementado:
  - Leitura: até 2 transferências de dados
  - Leitura de linha: de 3 a 12 transferências
  - Leitura múltipla: mais de 12 transferências



# Ciclo de Leitura

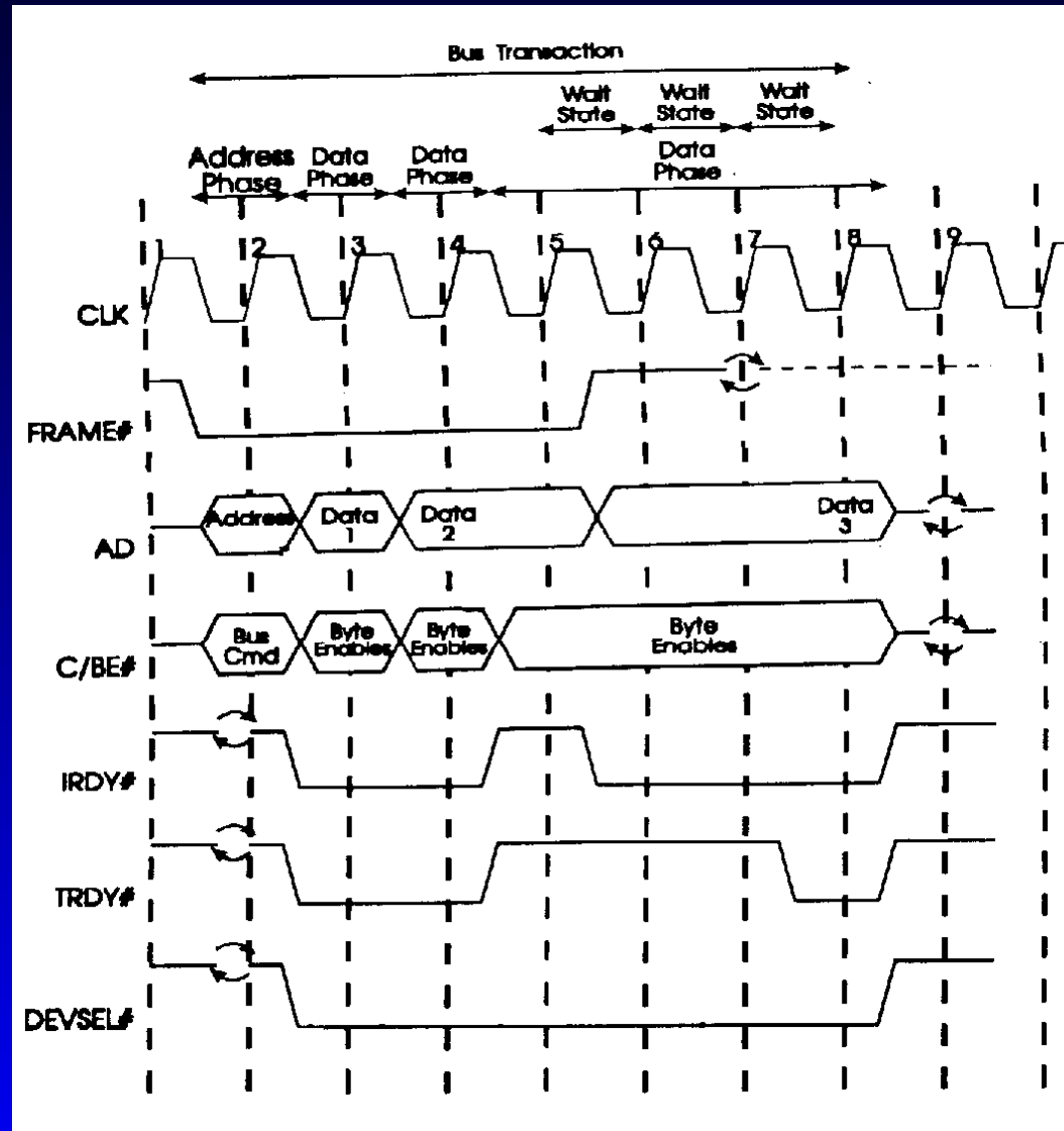




# Escrita em Memória

- Escrita
  - Quando o target ativa o #TRDY ele assume a responsabilidade por manter a coerência dos dados
- Escrita e Invalidação
  - Initiator está indicando que está escrevendo toda uma linha de cache
  - Elimina a necessidade de back-off e line flush

# Ciclo de Escrita





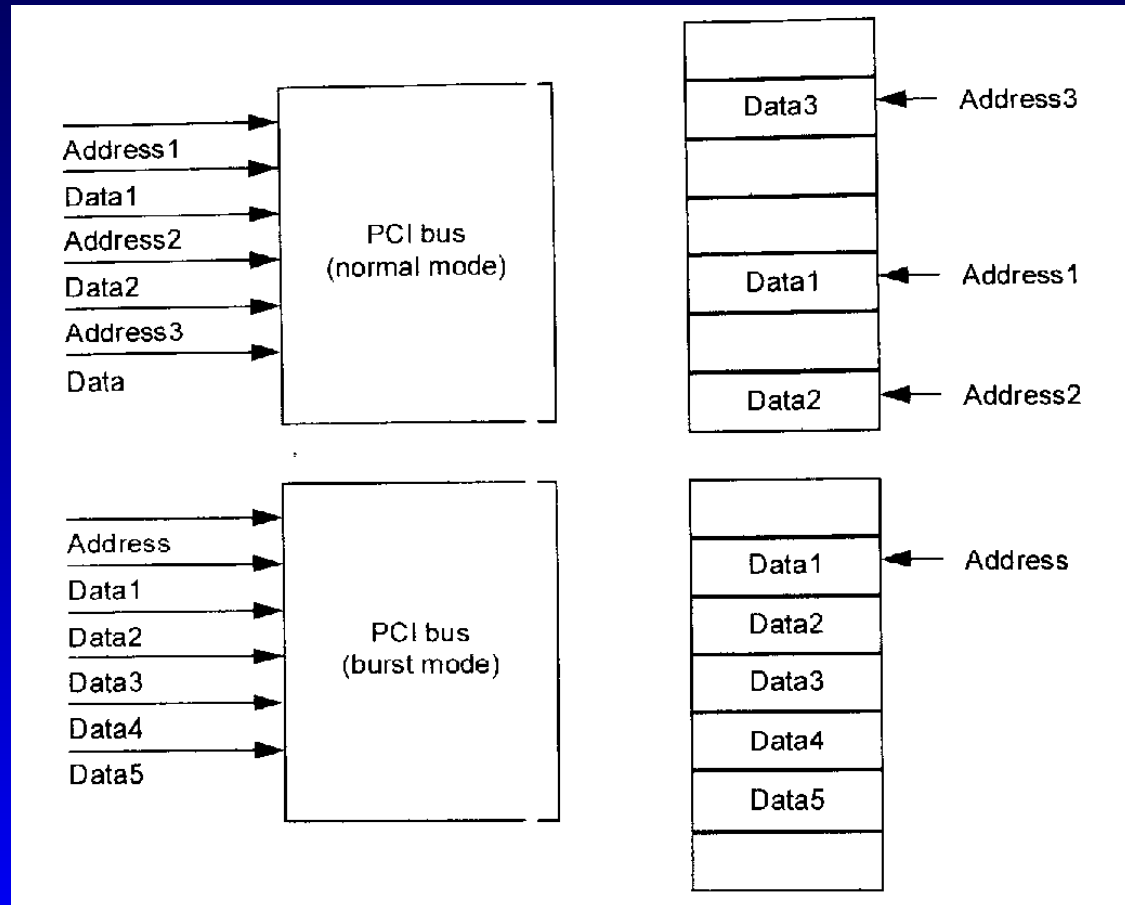
# Outros Ciclos

- Leitura e escrita de I/O
- Leitura e escrita de configuração
  - Sinalizados por IDSEL
  - Normalmente requer mapeamento nos espaços de endereçamento do processador
- Dual-address
  - Utilizado para endereçamento de 64 bits

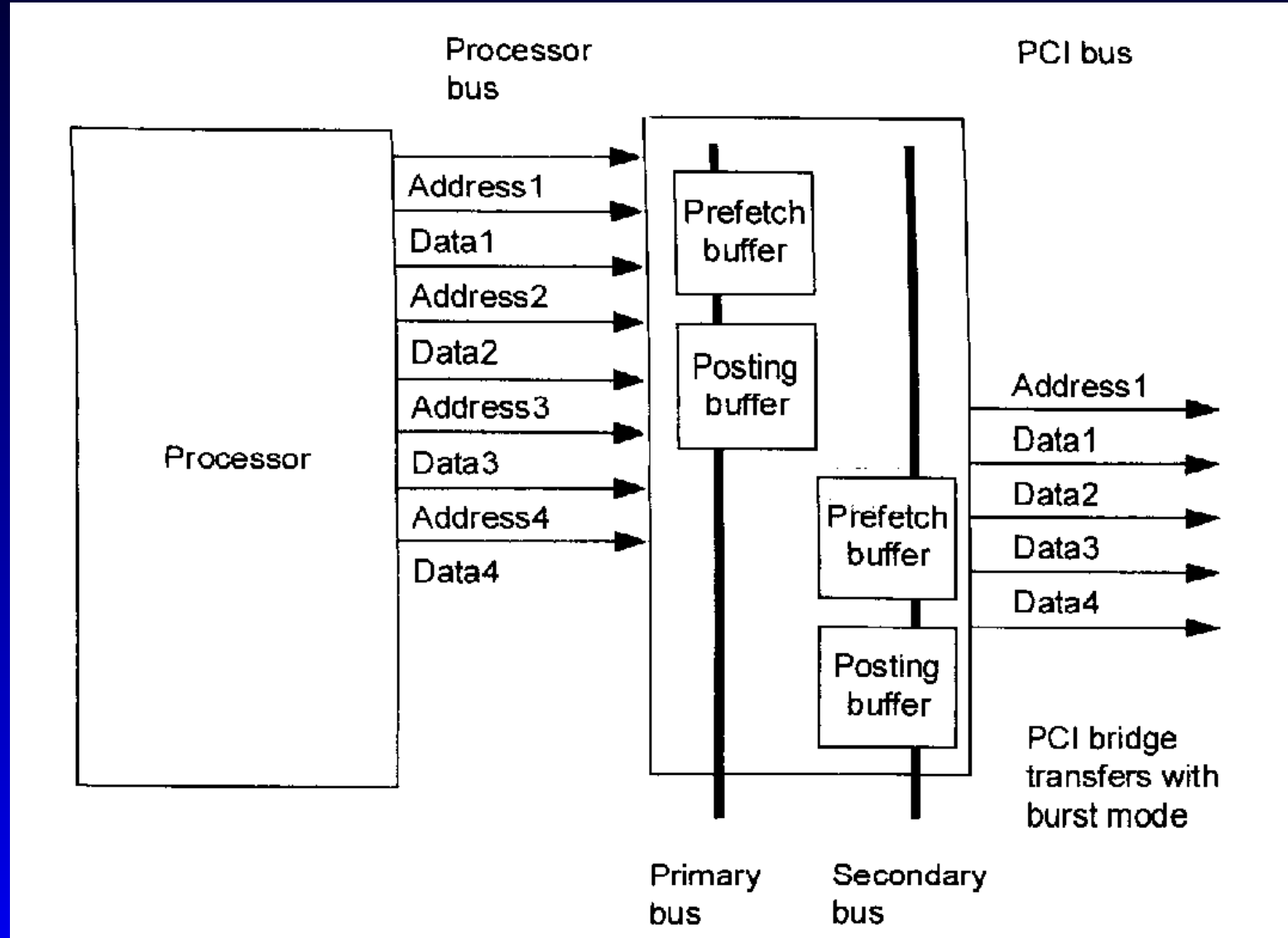


# Bridge Host/PCI

- Prefetch buffers
- Posting buffers

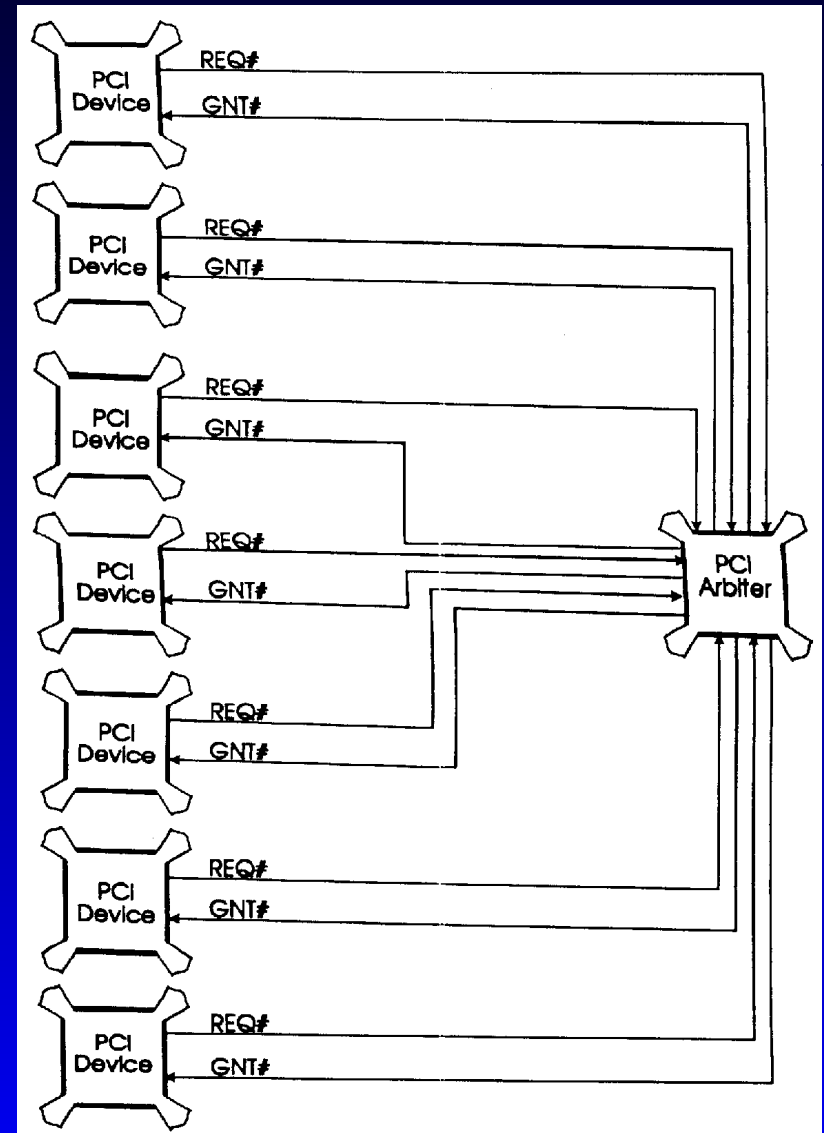


# Bridge Host/PCI



# Arbitragem

- REQ#
- GNT#
- Desativar REQ# ou GNT# não aborta a transação corrente, apenas sinalizam que o barramento será liberado ao final dela.



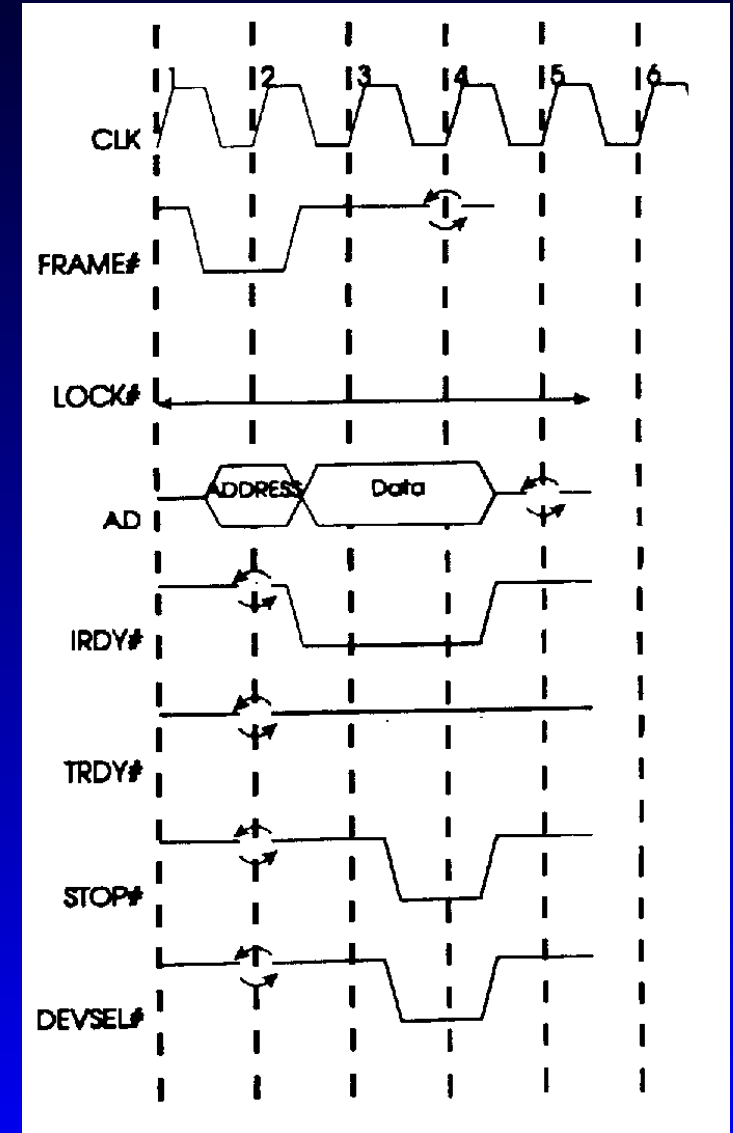
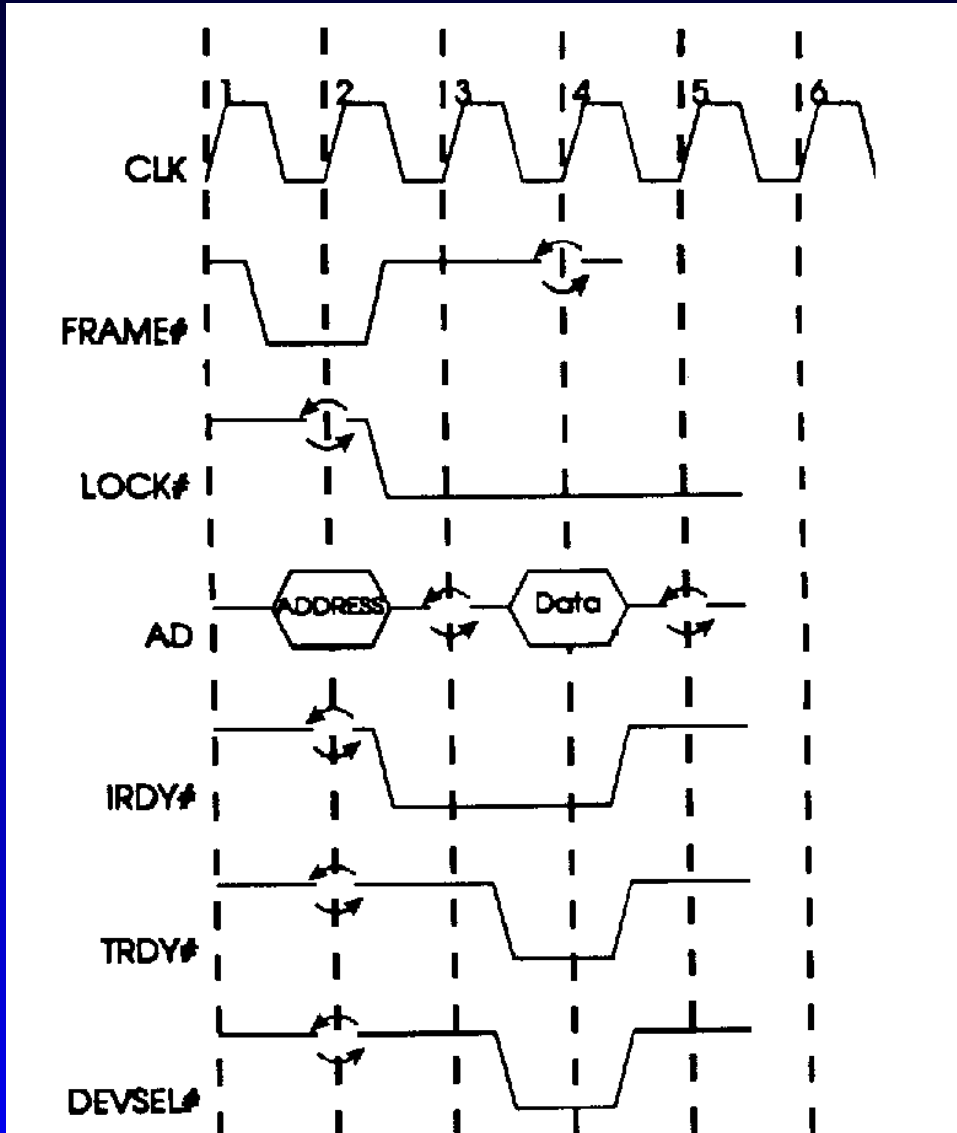


# Aborto de Transações

- Pelo initiator
  - Transação completada normalmente
  - Latency time-out e GNT# removido
  - Nenhum target responde
- Pelo target
  - Disconnect -> ocorre transferência de dados
  - Retry
  - Erro fatal



# Lock





# Suporte a Cache

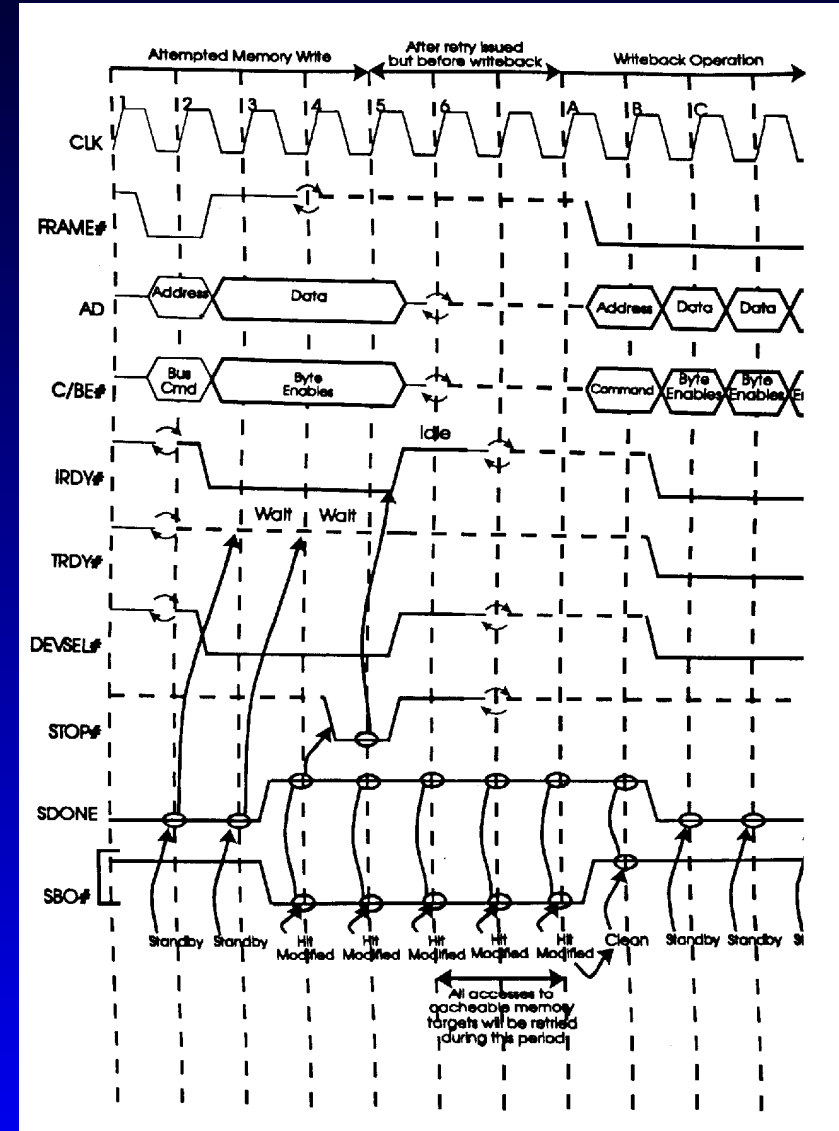
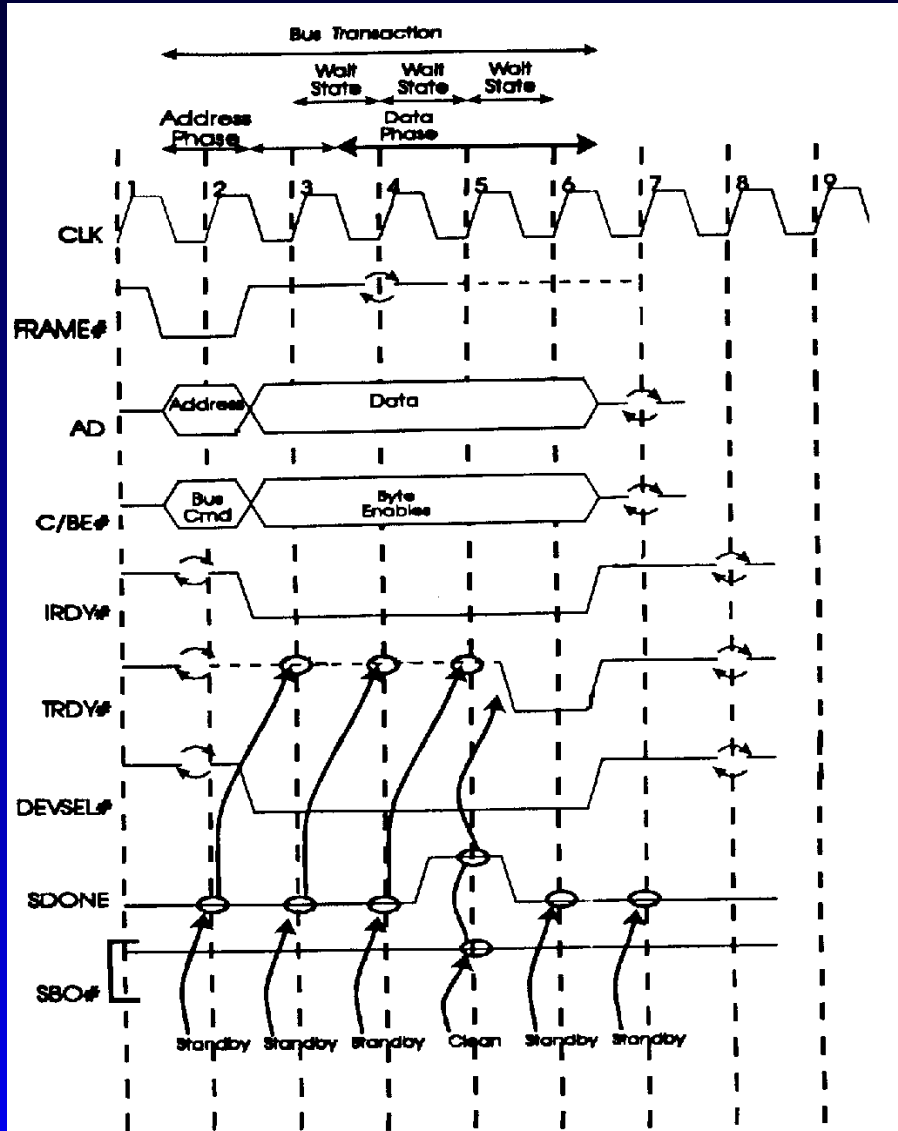
- Problema: O que acontece com o cache quando um operação de acesso à memória é iniciada no barramento PCI
  - Cache Write-through - a linha de cache deve ser invalidada se for uma operação de escrita e ocorrer um snoop-hit
  - Cache Write-back - se ocorrer um snoop-hit, a linha de cache deve ser limpa e se for uma operação de escrita a linha de cache deve ser invalidada



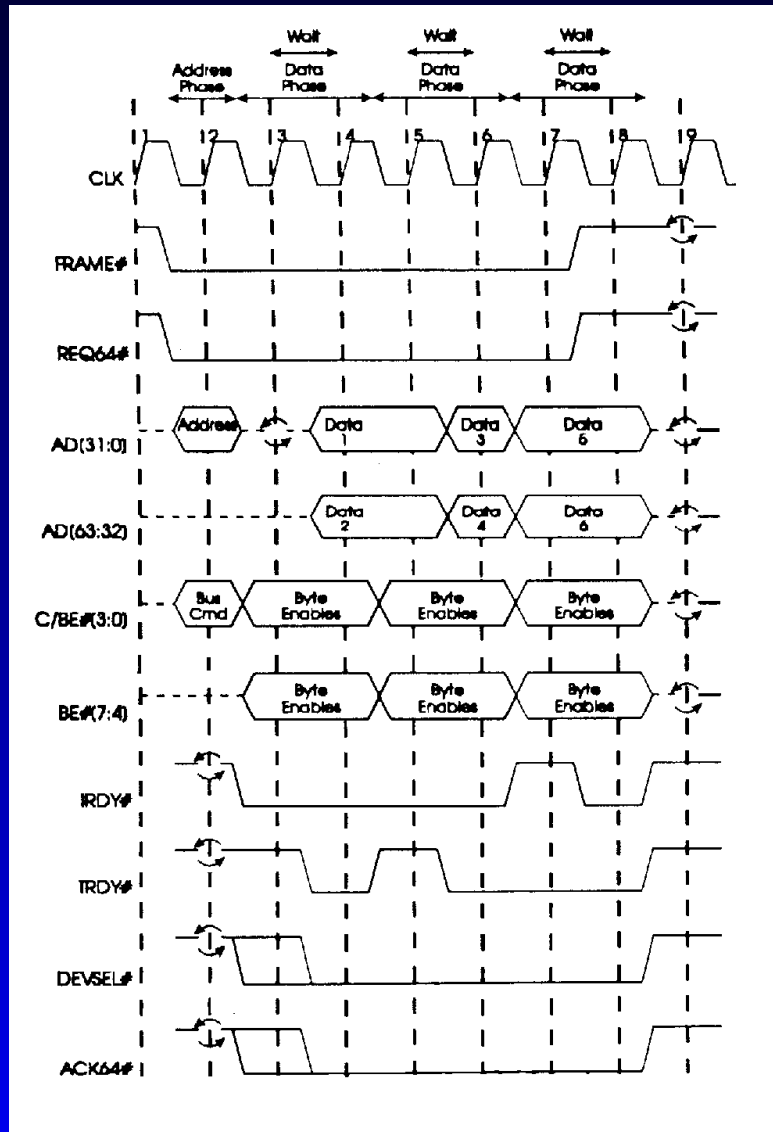
# Suporte a cache

- SDONE
  - Indica que o snoop foi feito
  - O target não deve aceitar o dado até que SDONE esteja ativo
- SBO#
  - Indica que houve um hit em uma linha modificada
  - Força o target a sinalizar um retry para o initiator
- A bridge mantém SBO# ativo até completar o write-back

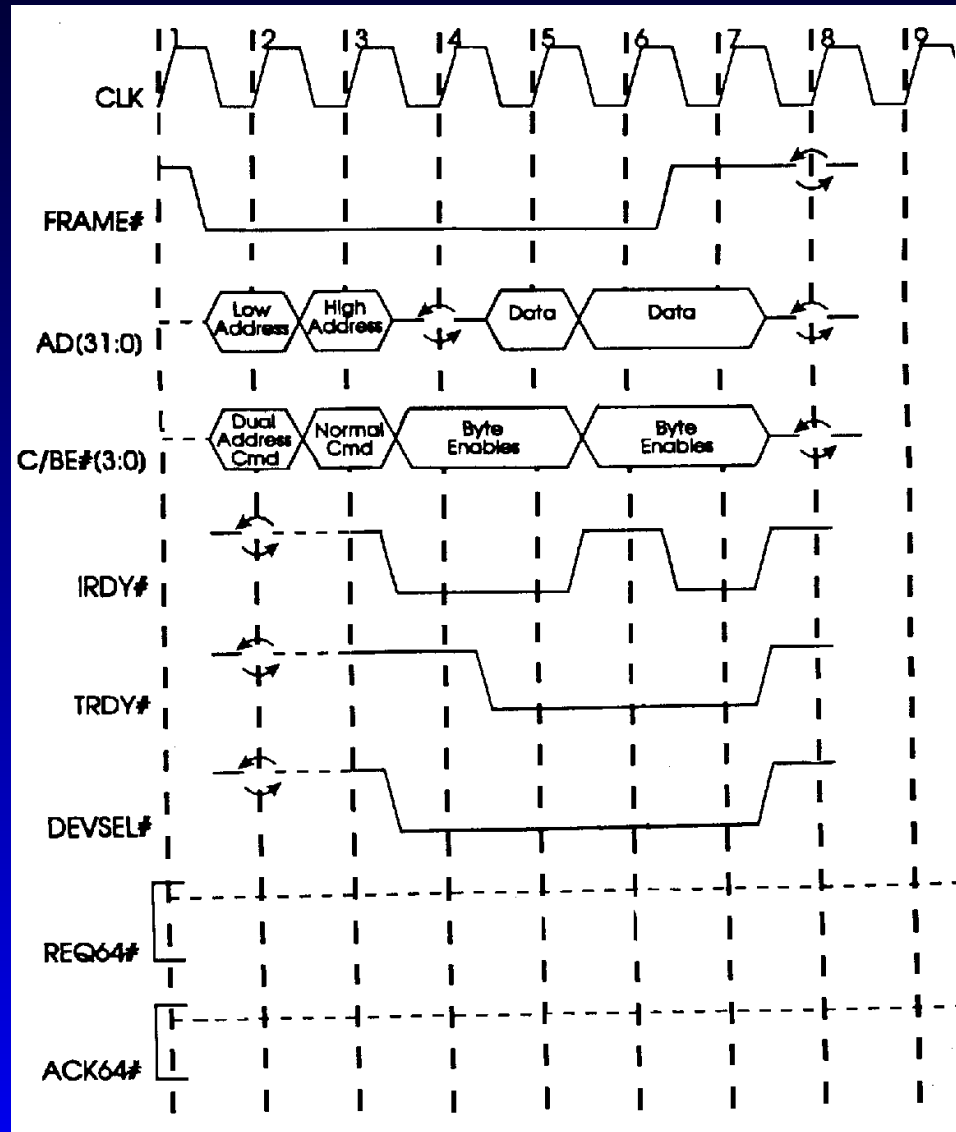
# Snooping



# Transferência de 64 bits




# Endereçamento de 64 bits



# Espaço de Configuração



31		16 15		0		
<b>Device ID</b>		<b>Vendor ID</b>				00h
<b>Status Register</b>		<b>Command Register</b>				04h
<b>Class Code</b>			<b>Revision ID</b>			08h
BIST	<b>Header Type</b>	Latency Timer	Cache Line Size			0Ch
Base Address 0						10h
Base Address 1						14h
Base Address 2						18h
Base Address 3						1Ch
Base Address 4						20h
Base Address 5						24h
Reserved (base address register expansion)						28h
Reserved (base address register expansion)						2Ch
Expansion ROM Base Address						30h
Reserved						34h
Reserved						38h
Max_Lat	Min_Gnt	Interrupt Pin	Interrupt Line			3Ch

 Required configuration registers



# Tratamento de Erros

- Erros de paridade
  - PERR#
    - Erro sinalizado no registrador de status
    - Ativação ou não de PERR# é configurada no registrador de comando
- Erros de Sistema
  - SERR#
  - Somente pode ser ativado se configurado no registrador de comando





# Interrupções

- Ativas por nível
- Ativas em nível lógico baixo
- Compartilháveis
- Dispositivos que utilizem uma única interrupção devem utilizar INTA#



# Generalidades PCI

- Decodificação subtrativa
  - A bridge PCI/ISA realiza decodificação subtrativa em todos os endereços de I/O abaixo de 64KB e todos os endereços de memória abaixo de 16MB
  - Transações nos endereços ISA válidos sempre são efetivadas
- Palette snooping
  - Quando se tem VGA on-board, a bridge monitora os acessos palette passa também para o barramento de expansão (slot)