



Universal Asynchronous Receiver Transmitter

8250/14550/16550/16550A

Walter Fetter Lages

w.fetter@ieee.org

Universidade Federal do Rio Grande do Sul

Escola de Engenharia

Departamento de Engenharia Elétrica

Microprocessadores II

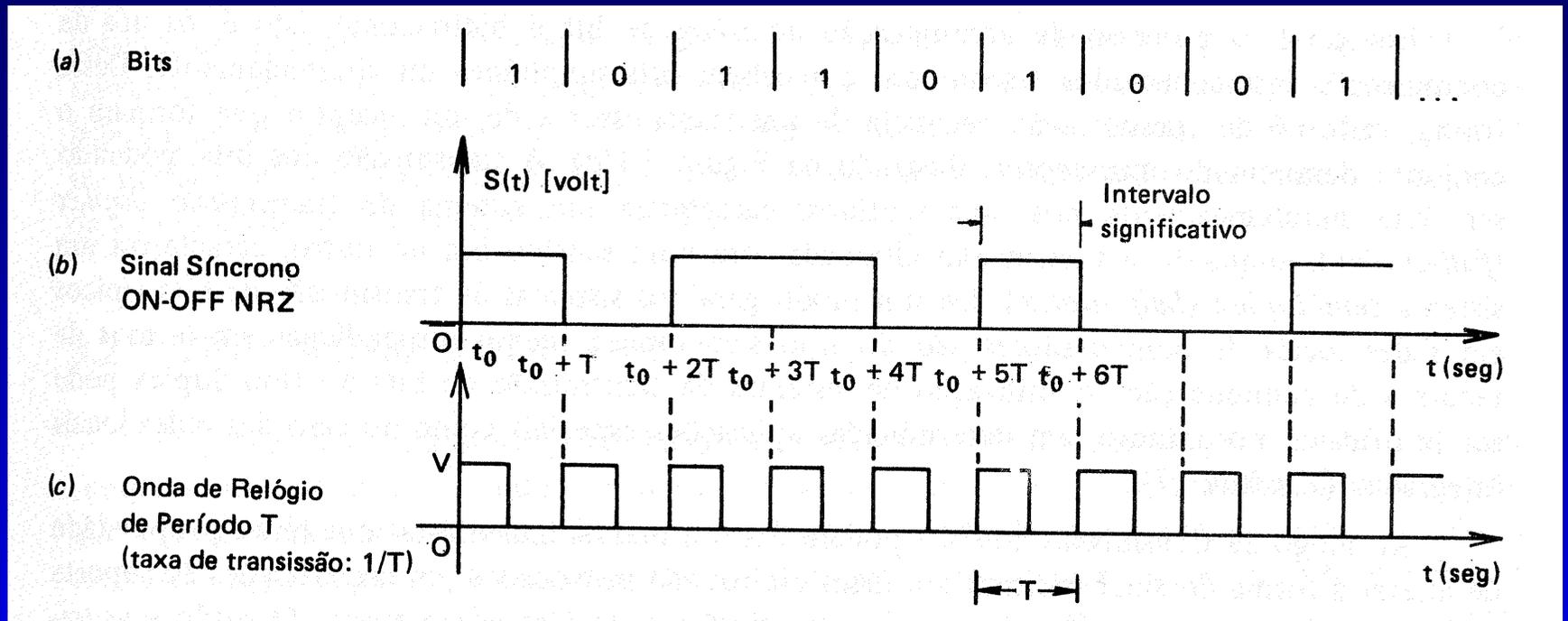


Comunicação Serial

- Modo Simplex
- Modo Duplex
- Modo Half-duplex

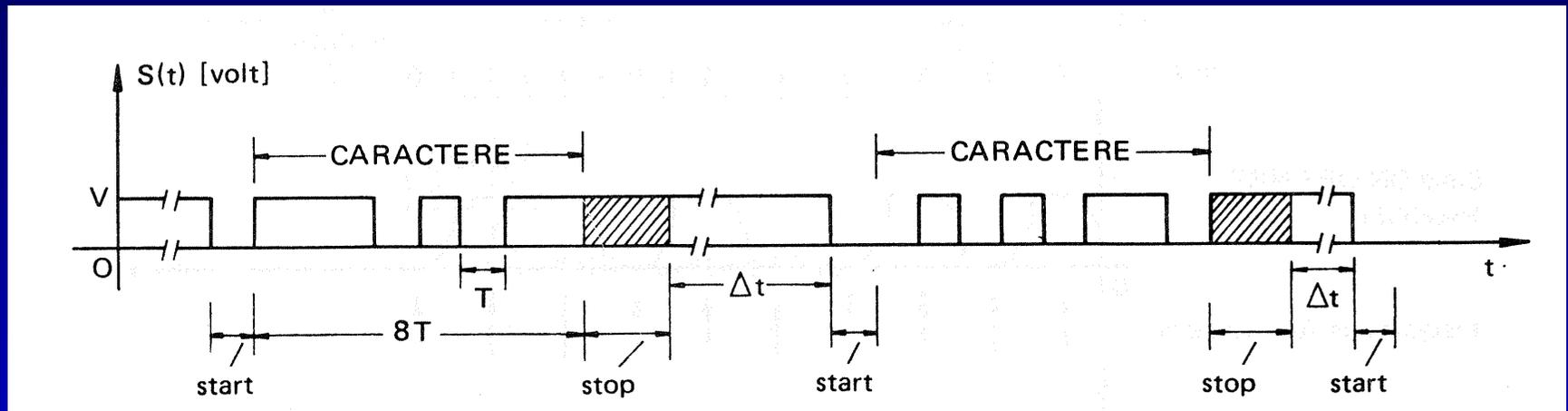
Transmissão Síncrona

- Transmissão síncrona
 - Um bit transmitido a cada pulso de clock
 - Caracteres *back-to-back*



Transmissão Assíncrona

- Transmissão assíncrona
 - Utiliza Start bit para sinalizar o início de cada caracter





Codificação de Bits

- Banda básica
 - Sinal digital não modulado
- Banda estreita
 - Sinal analógico modulado pelo sinal digital
- Banda larga
 - Sinal analógico modulado pelo sinal digital

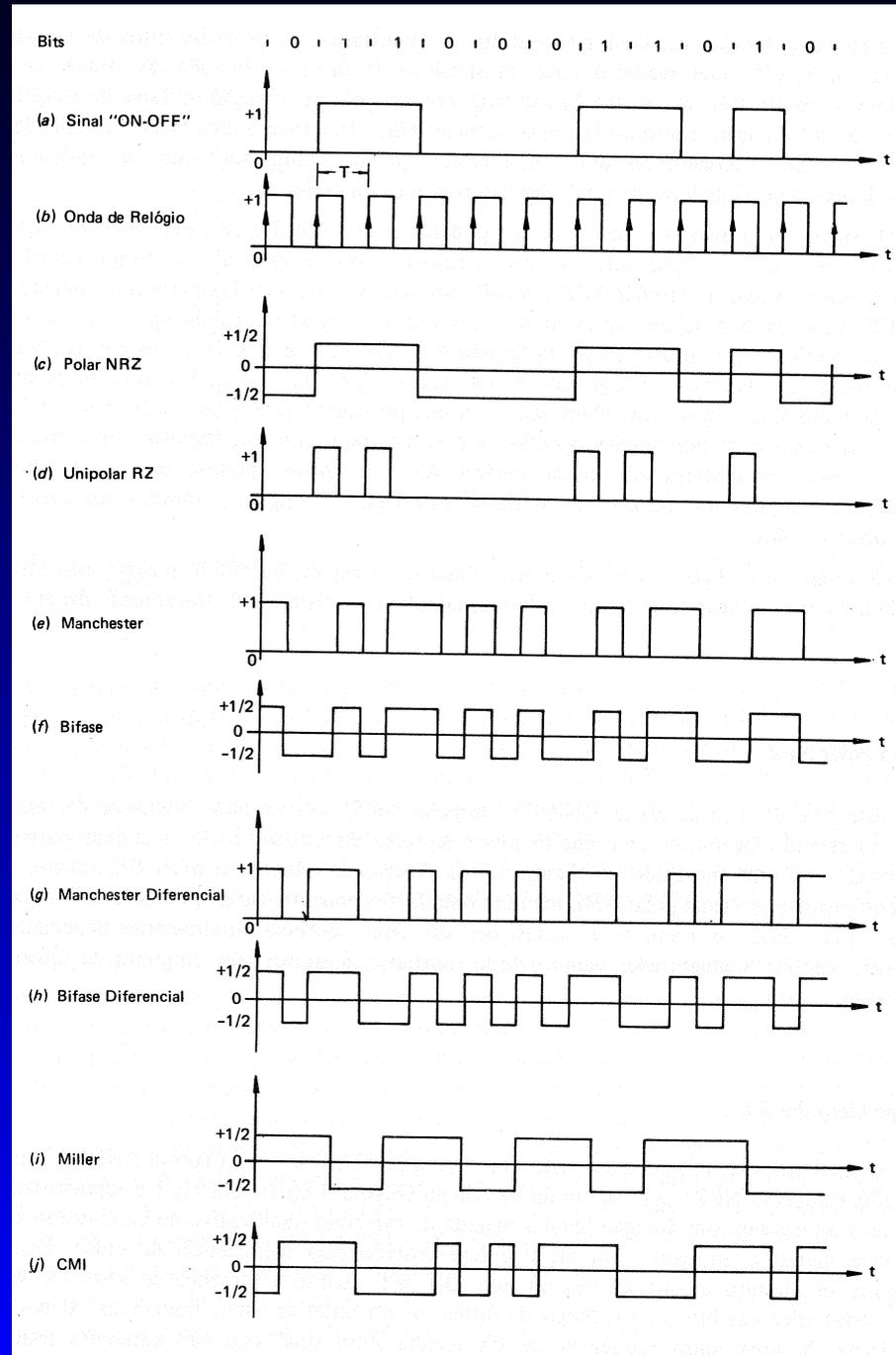


Codificação em Banda Básica

- On-off
- NRZ polar
- RZ unipolar
- Manchester
- Bifase
- Manchester diferencial
- Bifase diferencial
- Miller
- CMI



Codificação em Banda Básica





Modulação

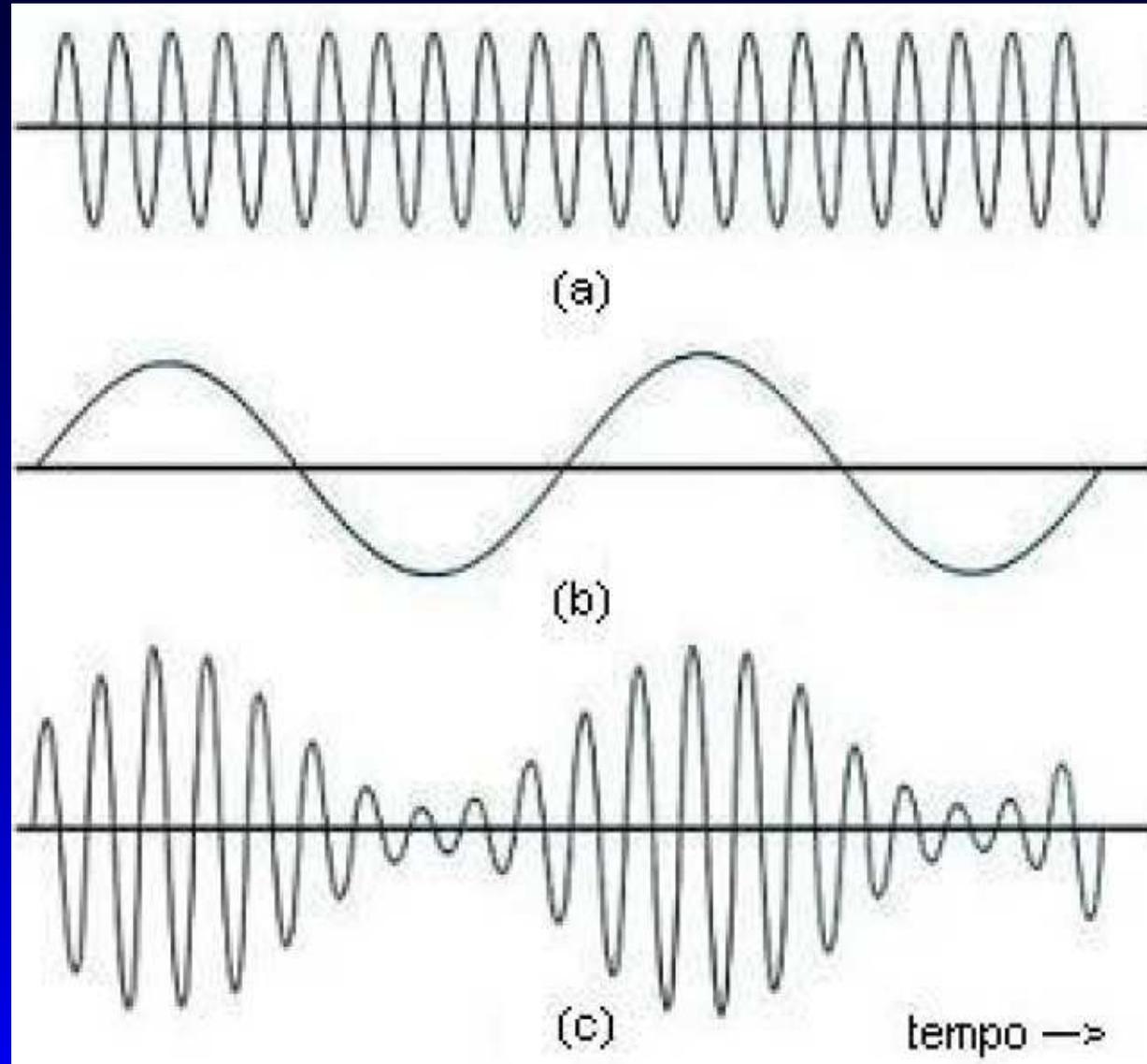
- Alteração de uma ou mais características (amplitude, fase, frequência, ...) de um sinal (portadora) segundo um outro sinal (modulante)
- Modulação contínua
 - Portadora analógica
 - Modulante analógico
- Modulação de pulso
 - Portadora digital
 - Modulante analógico
- Modulação Digital
 - Portadora analógica
 - Modulante digital



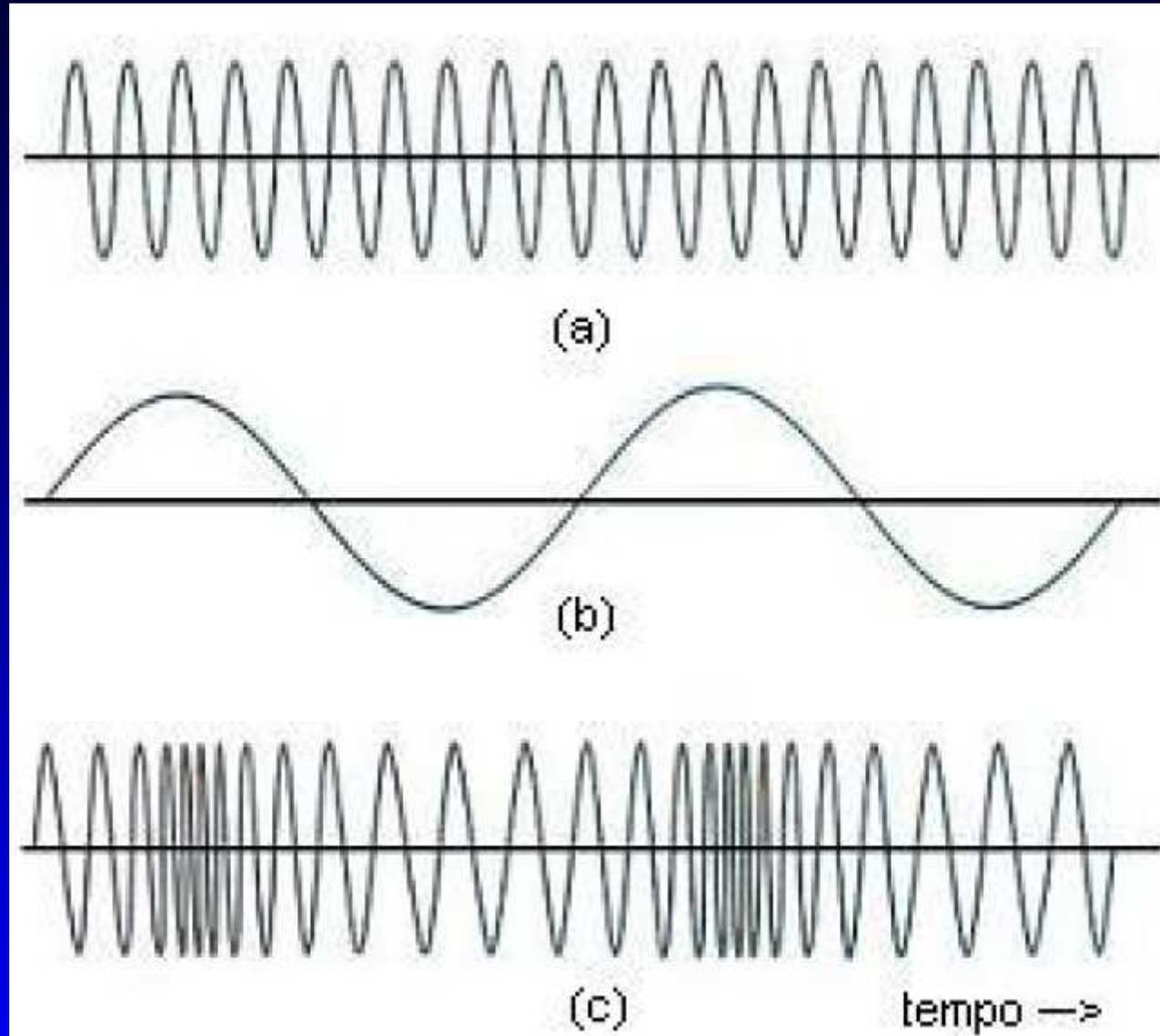
Modulação Contínua

- Modulação em amplitude (AM)
- Modulação em fase (PM)
- Modulação em frequência (FM)

Modulação em Amplitude (AM)



Modulação em Fase ou Freqüência

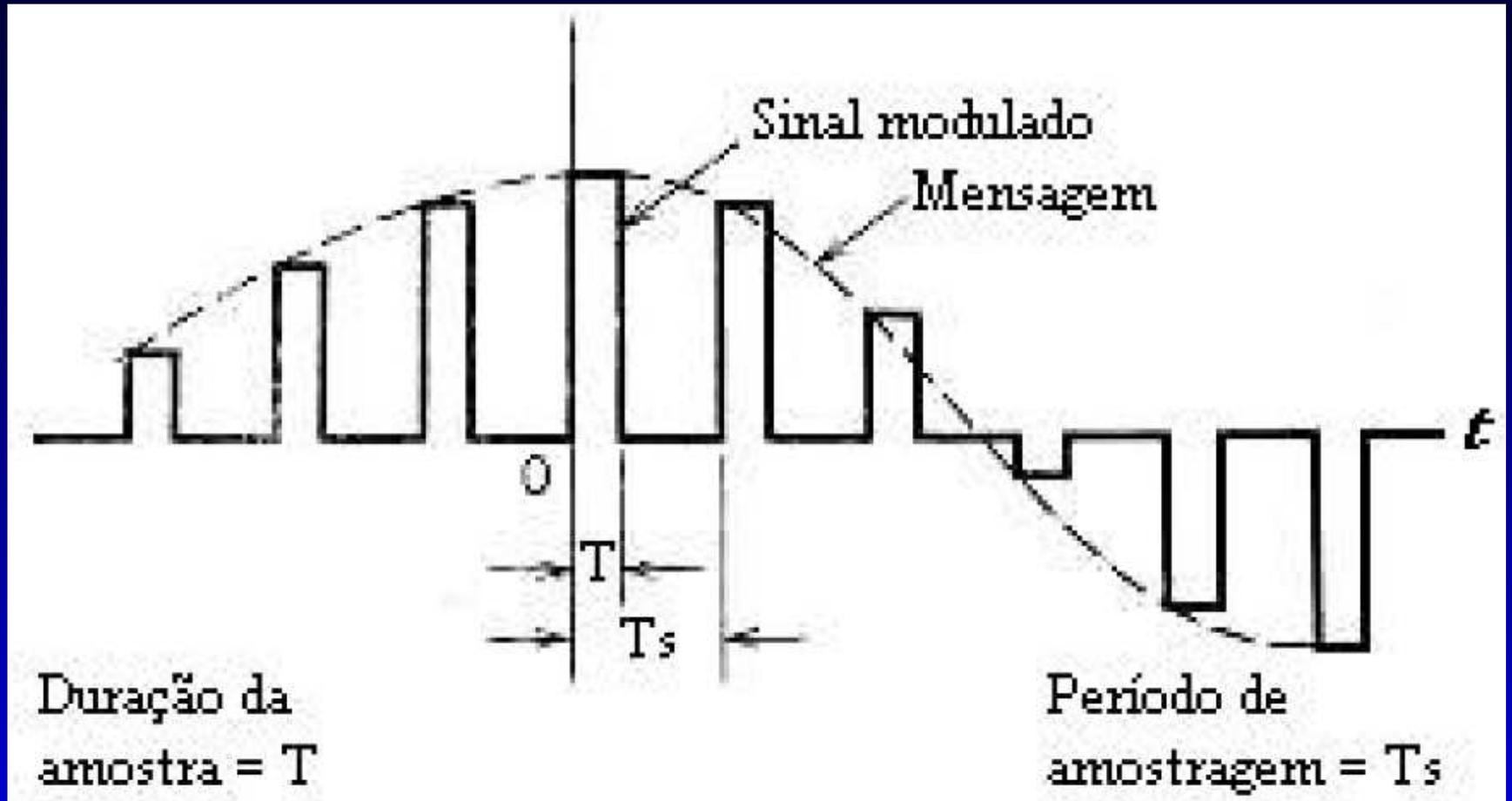




Modulação de Pulso

- Modulação de código de pulso (PCM)
- Modulação de amplitude de pulso (PAM)
- Modulação de largura de pulso (PWM)
- Modulação de posição de pulso (PPM)

Modulação de Amplitude de Pulso

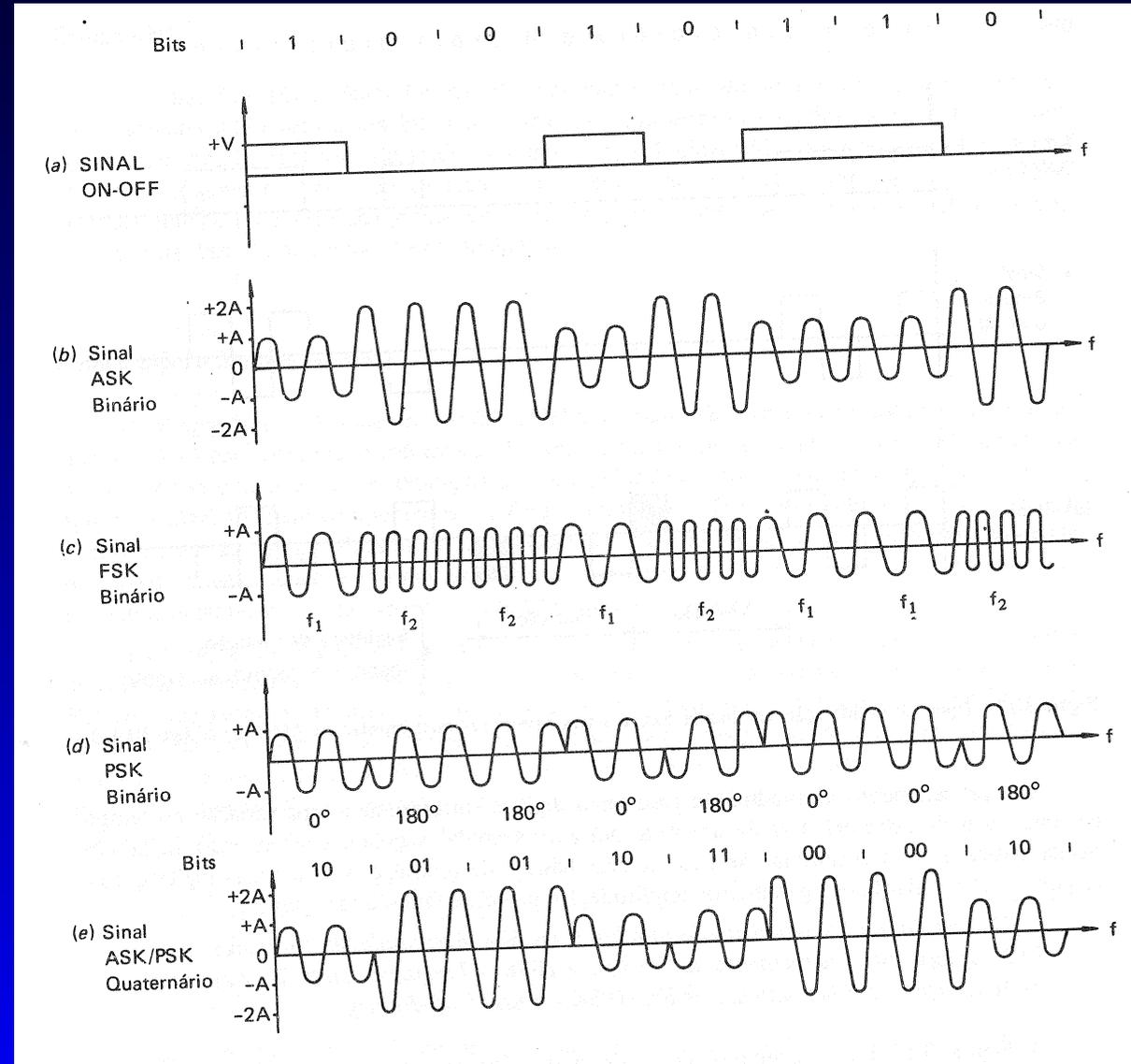




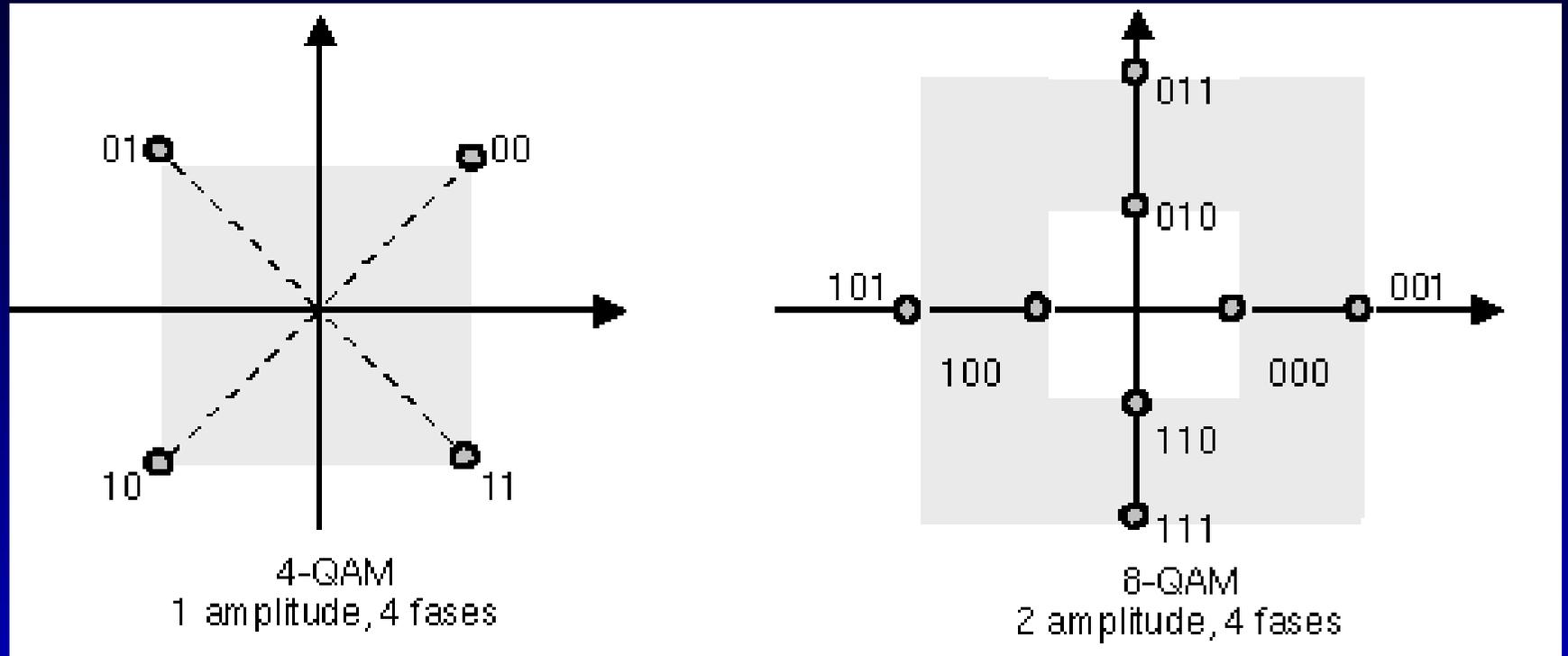
Modulação Digital

- Modulação por chaveamento de amplitude (ASK)
- Modulação por chaveamento de frequência (FSK)
- Modulação por chaveamento de fase (PSK)
- Modulação em amplitude e quadratura (QAM)

ASK, FSK, PSK



QAM





Taxa de Comunicação

- Taxa de informação
 - Quantidade bits transmitidos por segundo
 - Medido em bps
- Taxa de símbolos ou taxa de sinalização
 - Quantidade de sinais transmitidos por segundo
 - Medido em Bauds
 - Um símbolo pode corresponder 1, mais ou menos bits
- Baud \neq bps



RS-232

- Sinal bipolar
 - -3V a -15V marca +3V a +15V espaço
- Comunicação DTE-DCE serial até 20m

DTE: Data Terminal Equipment, tipicamente um computador

DCE: Data Communication Equipment, tipicamente um modem
- Taxas de até 19200bps
- Extensões para até 1.6Mbps



Sinais

TD: Transmissão de dados

RD: Recepção de dados

DTR: DTE pronto

DSR: DSE pronto

RTS: Pedido para transmitir

CTS: Autorização para transmitir

DCD: Portadora detectada

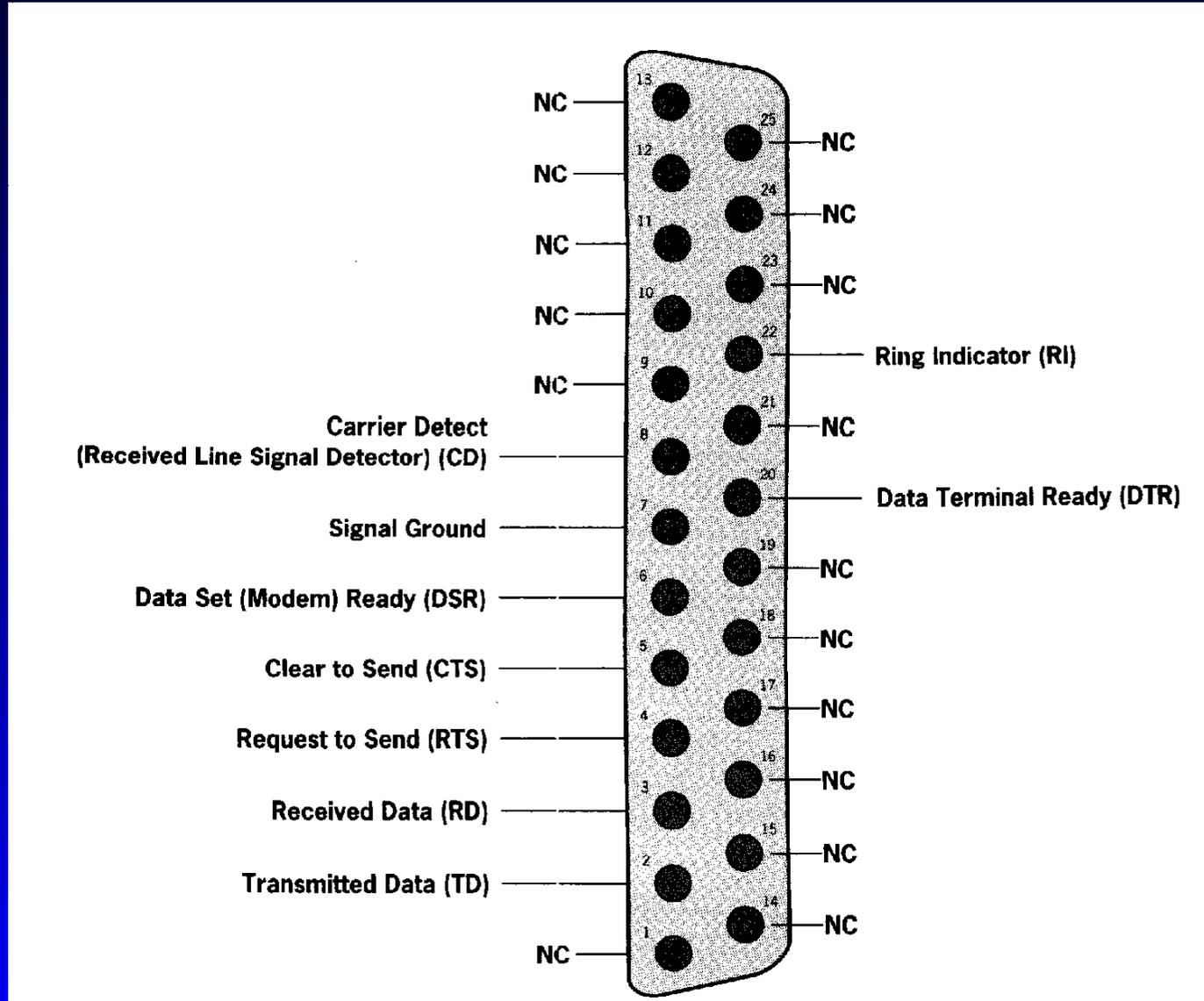
RI: Indicação de chamada



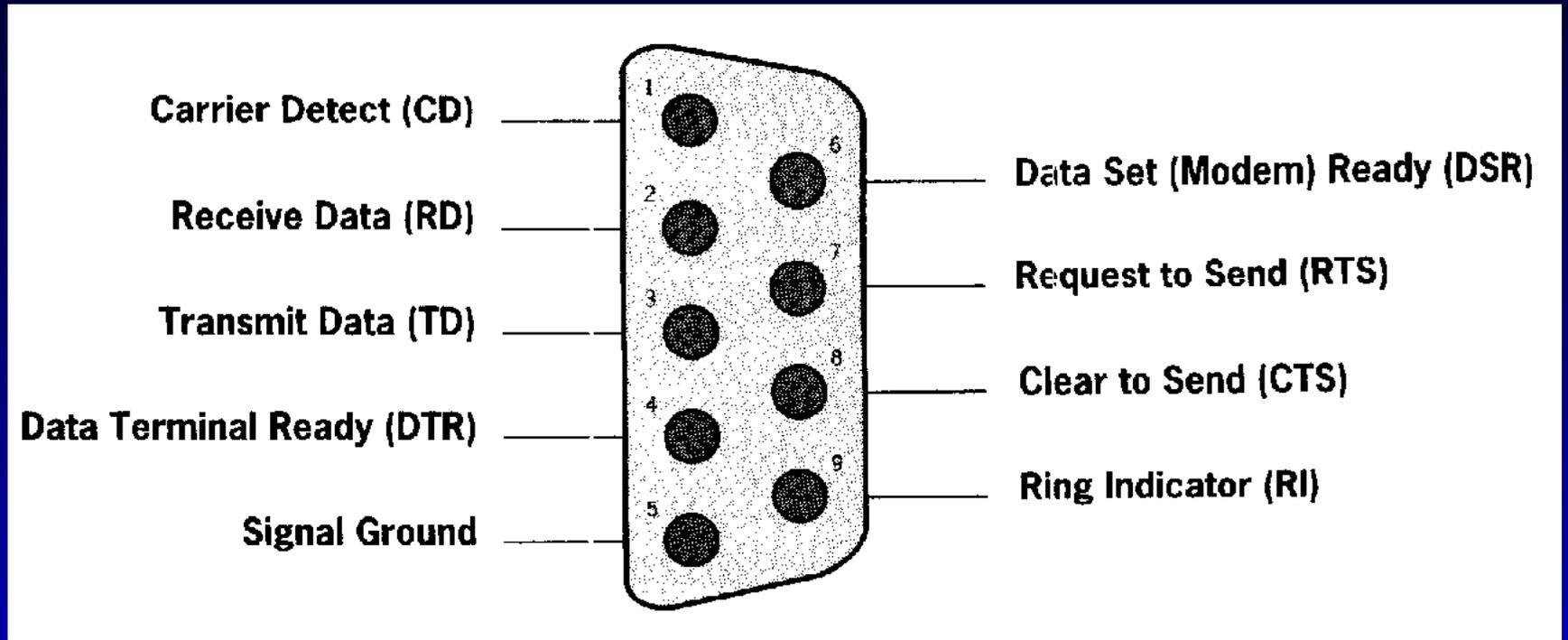
Conectores

- Originalmente a RS-232 especificava conectores DB-25
- DTE utiliza conector macho
- DCE utiliza conector fêmea
- O PC implementa apenas 9 dos sinais da RS-232
 - Passou-se a utilizar DB-9, que foi padronizado posteriormente
- Equipamentos podem emular DTE ou DCE
- Não é raro equipamentos emulando DTE utilizarem conector fêmea e vice-versa

Conector DB-25 (exemplo DTE)

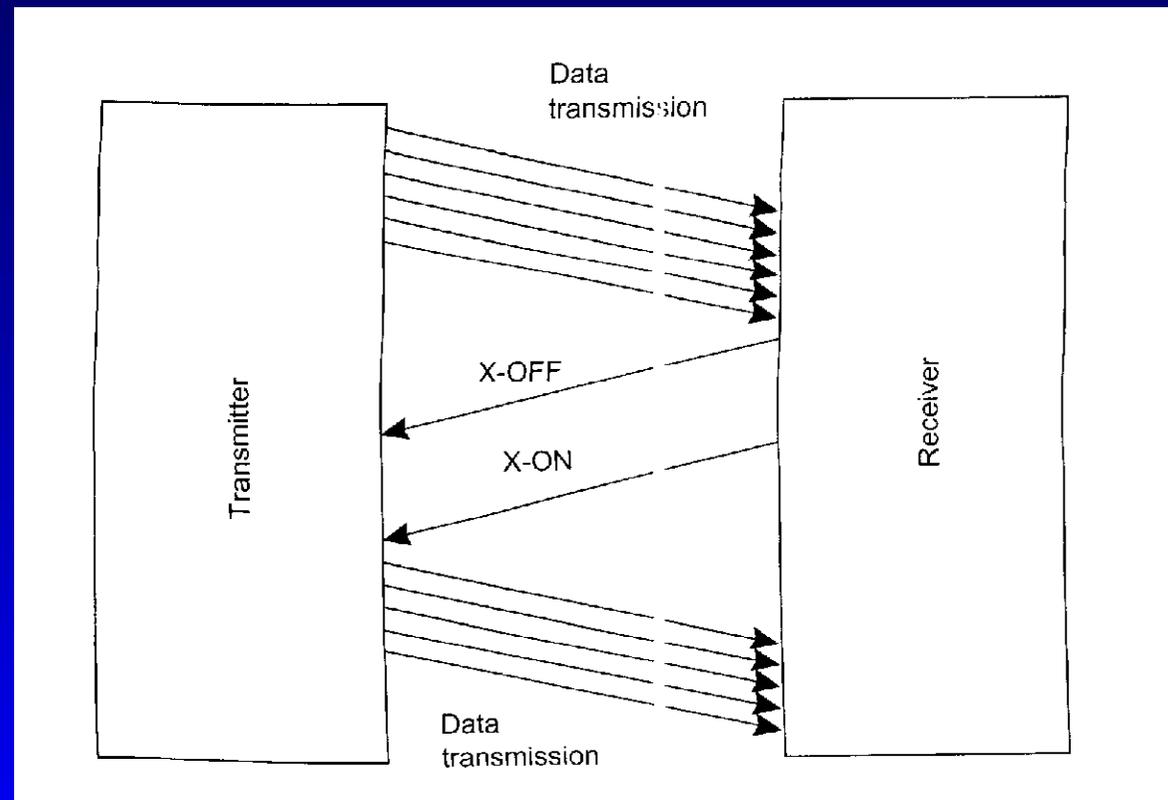


Conector DB-9 (exemplo DCE)



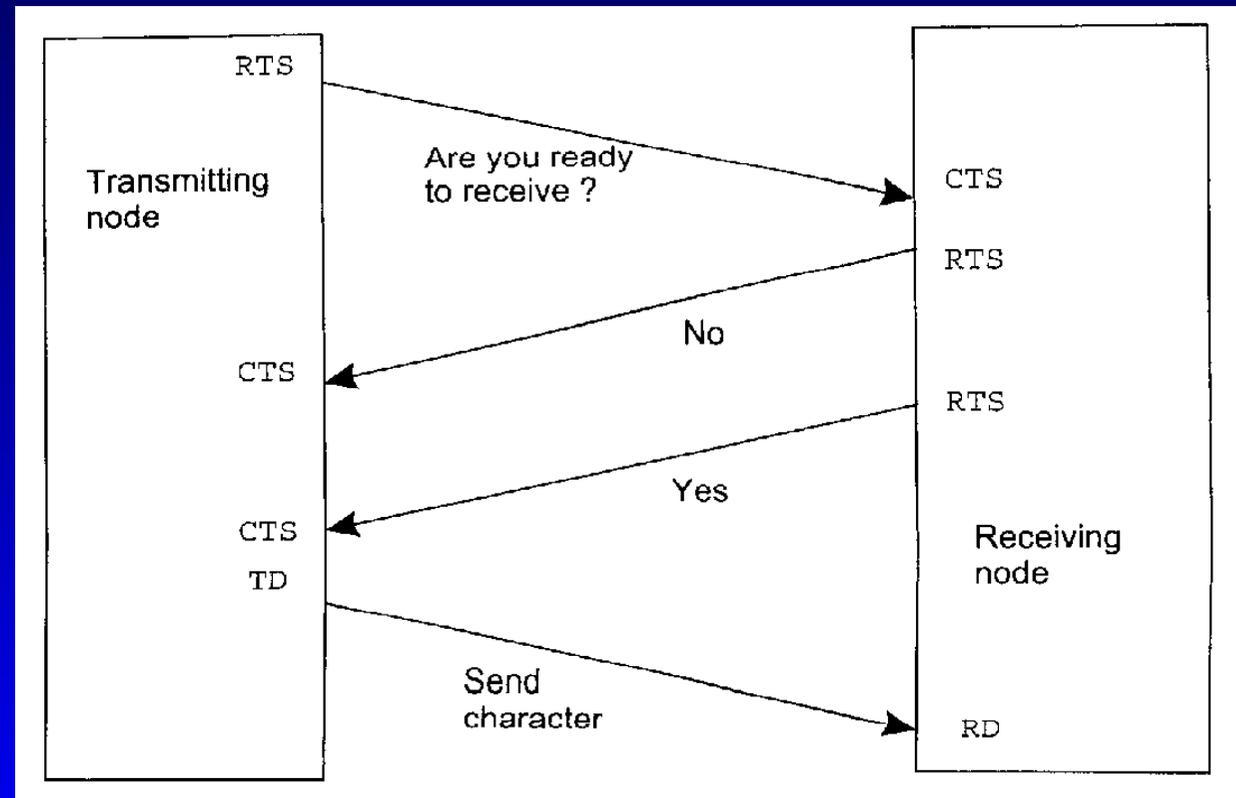
Handshaking

- Por software
 - X-ON= \hat{S} =11h
 - X-OFF= \hat{Q} =13h



Handshaking

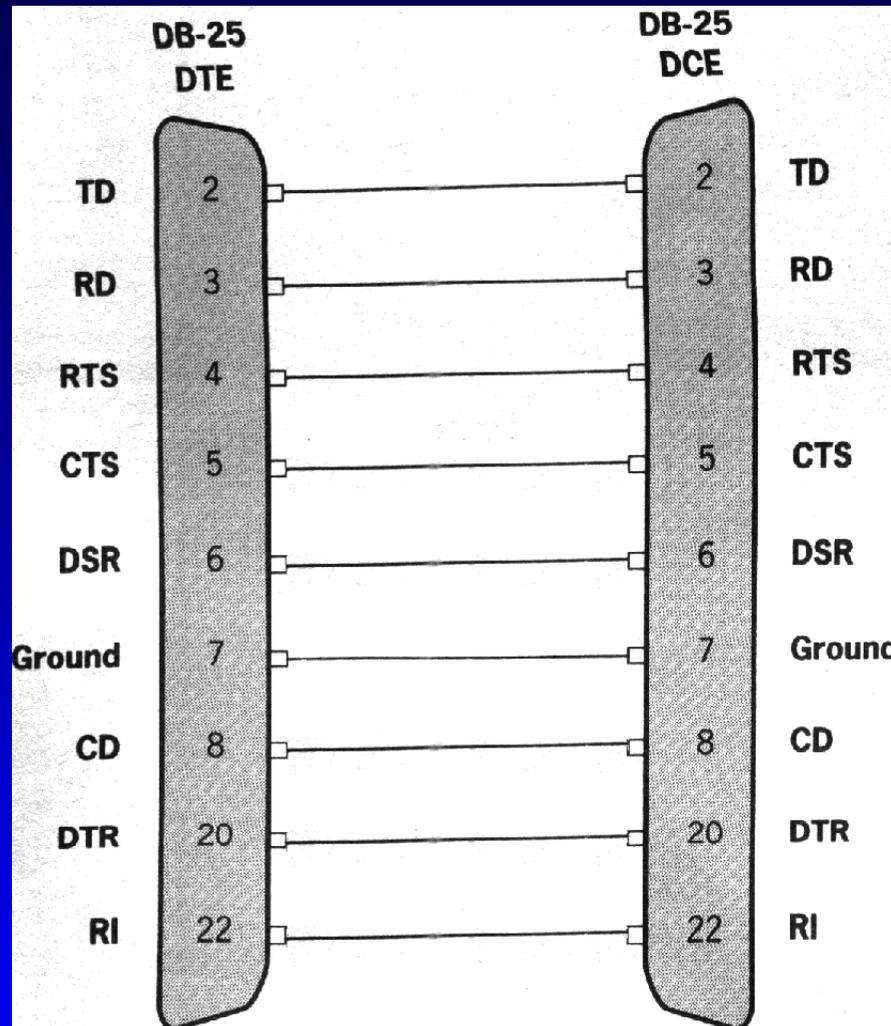
- Por hardware
 - RTS/CTS
 - DSR/DTR





Cabeamento DTE-DCE

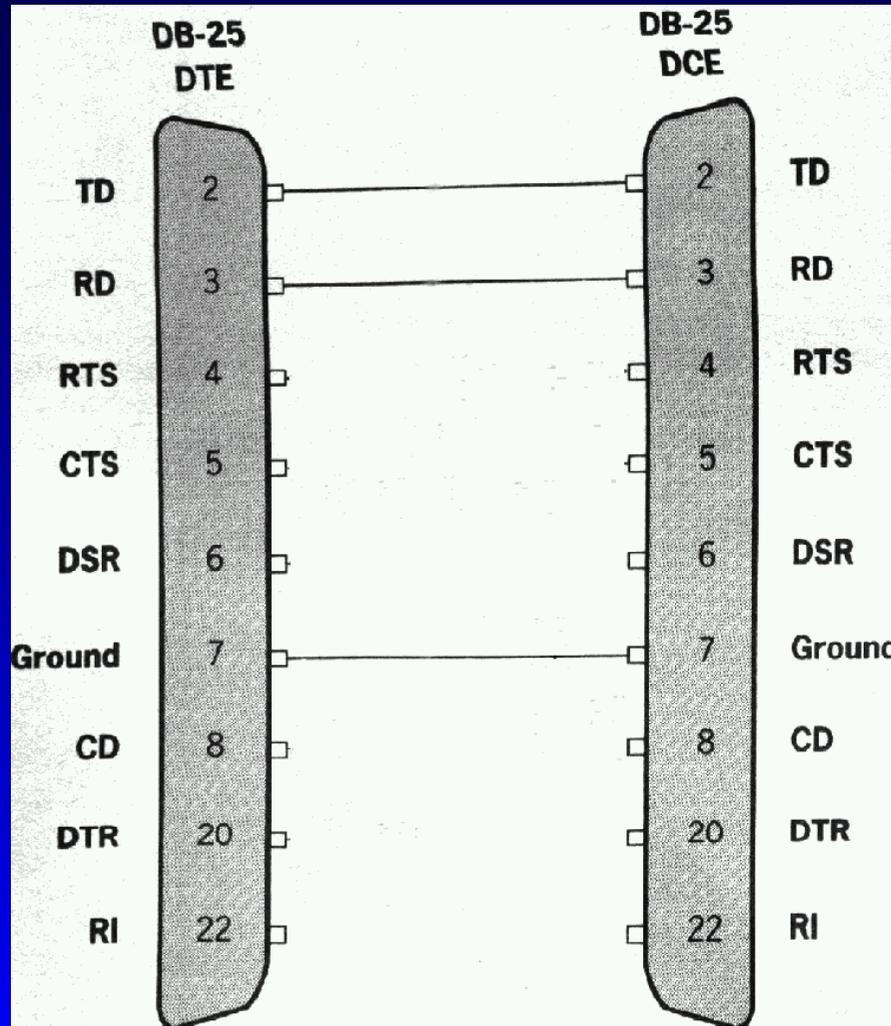
- *Handshaking completo*





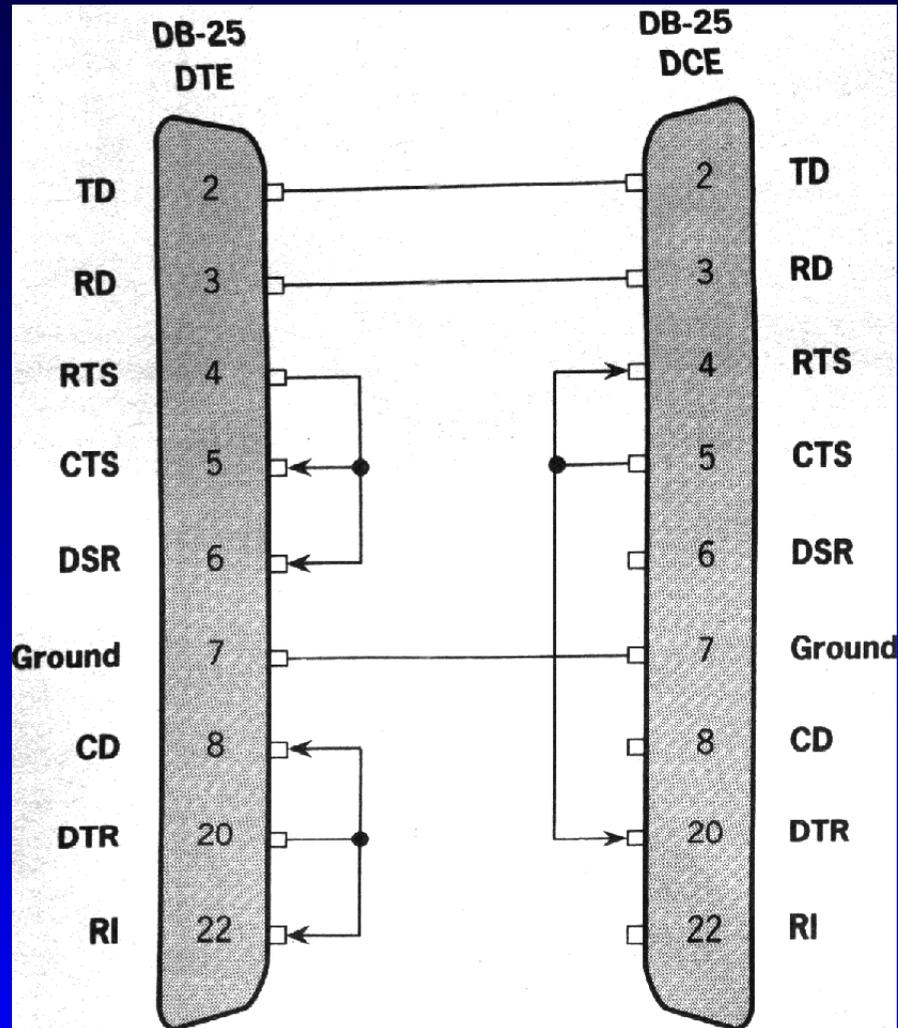
Cabeamento DTE-DCE

- Sem *handshaking*



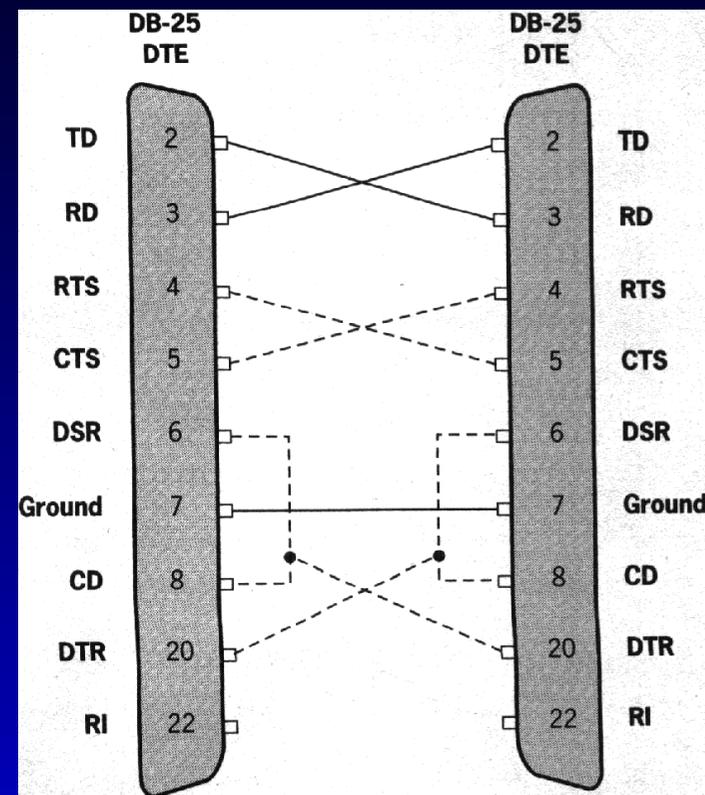
Cabeamento DTE-DCE

- RTS/CTS e DSR/DTR local

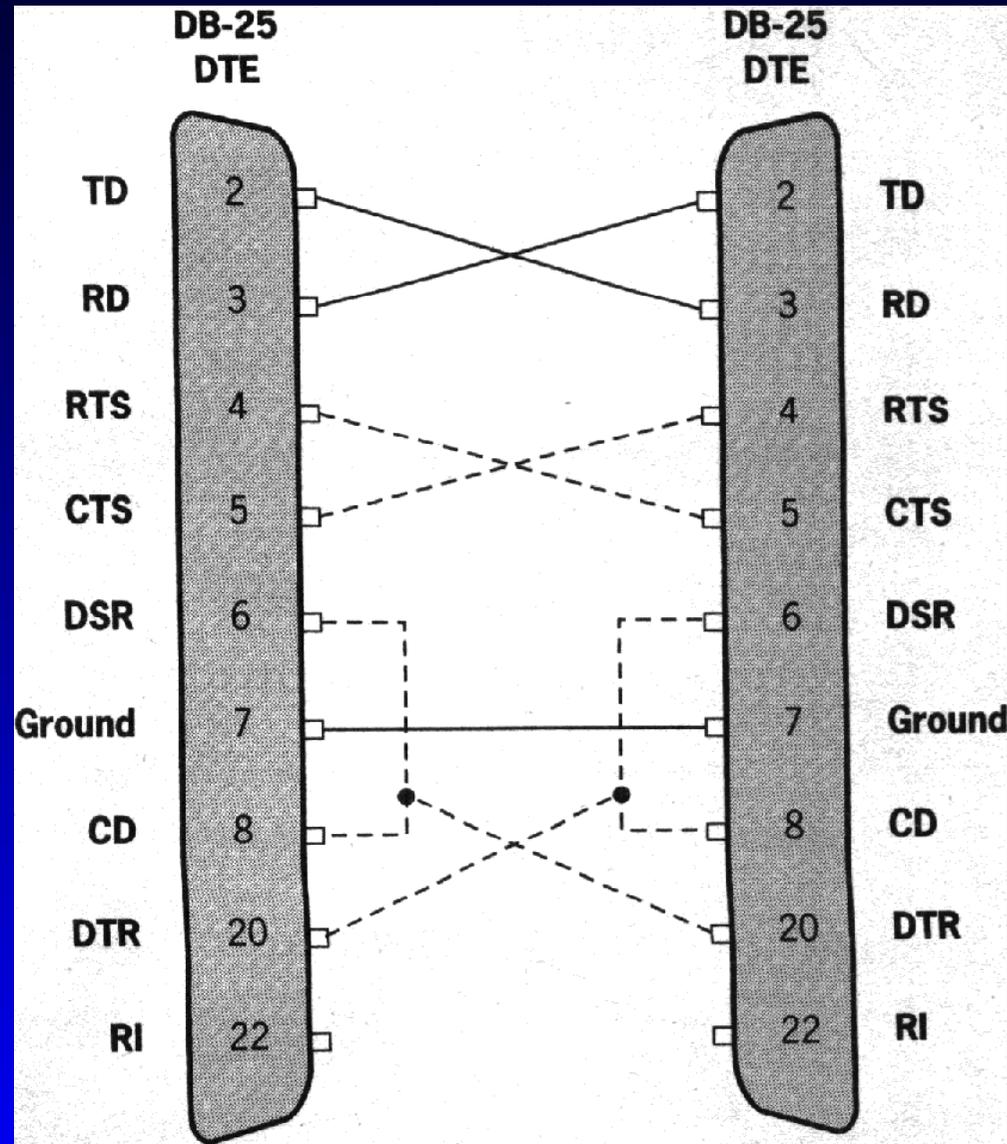


Cabeamento DTE-DTE

- Null-modem a três fios
 - Sem handshaking
 - RTS/CTS e DSR/DTR conectados localmente
- Null-modem a cinco fios
- Null-modem a sete fios



Null-modem

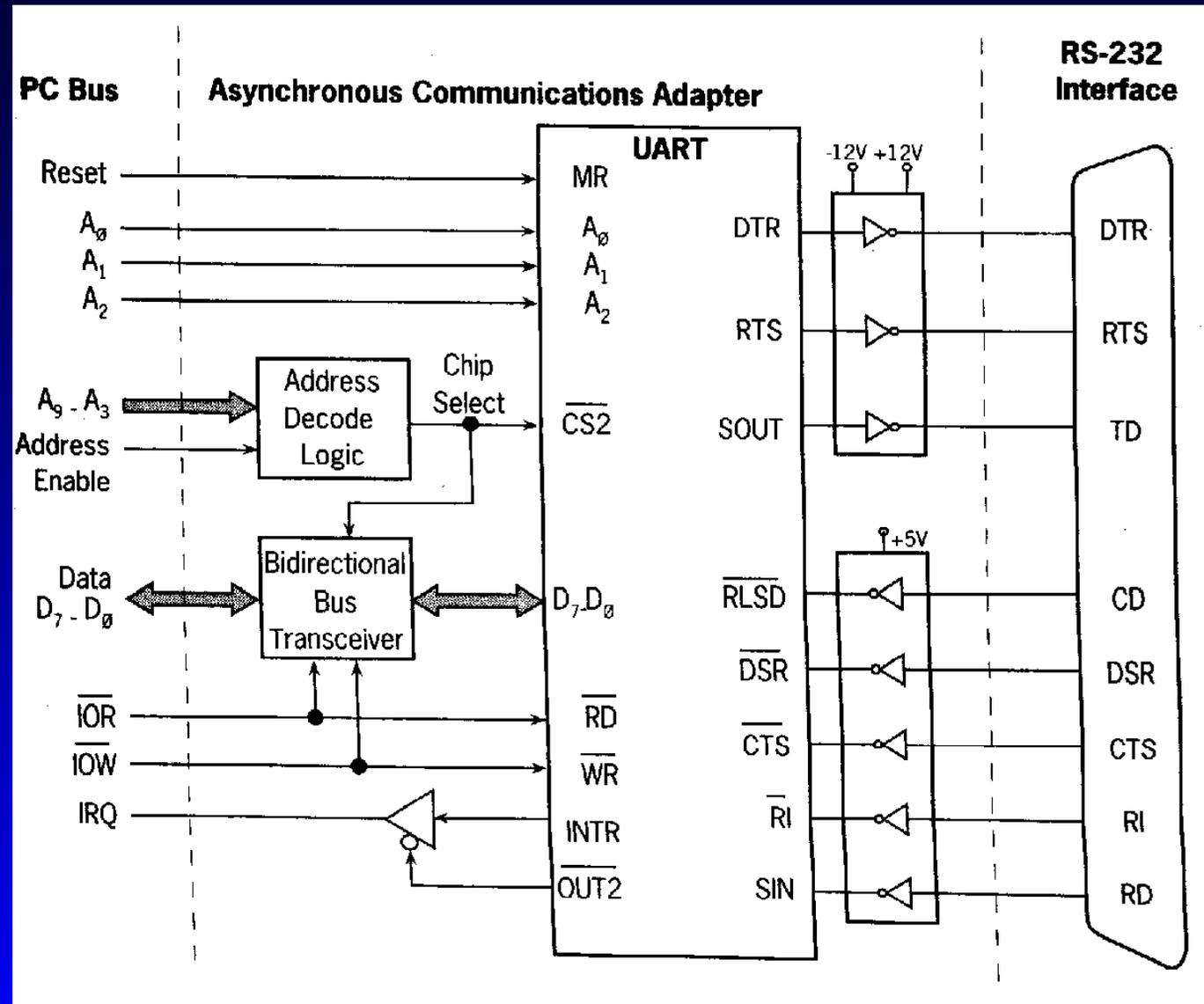




Porta Serial no PC

- As portas seriais do PC são formadas por
 - UART - 8250/14550/16550A
 - Sinais em 0-5V
 - Cristal de 1.8432 MHz
 - Out2 habilita interrupções
 - Drivers TTL/RS-232 - 1488
 - Converte a saída da UART para níveis RS-232
 - Drivers RS-232/TTL - 1489
 - Converte os sinais RS-232 para 0-5V
- Teste sem plug de teste testa apenas a UART

Porta Serial no PC



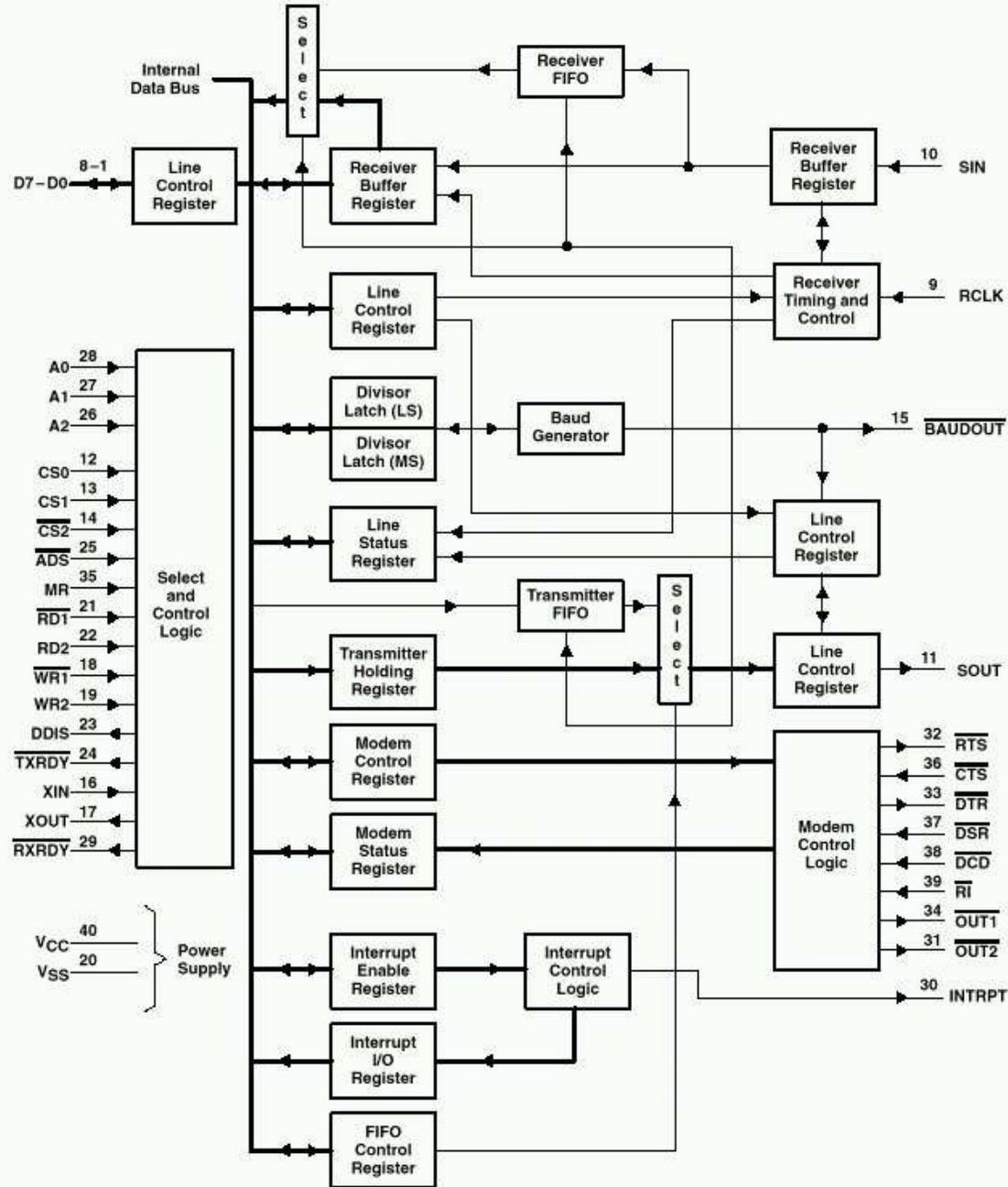


UARTs Utilizados no PC

- 8250
 - Suporta taxas até 38400 bps
- 14450
 - Suporta taxas até 115200
- 16550
 - Inclui FIFOs de 16 bytes
 - Possui *bug* no tratamento das FIFOs
 - Suporta DMA
- 16550A
 - 16550 sem *bug*



Diagrama de Blocos da UART





Pinagem

| | | | |
|-----------------------------|----|----|----------------------------|
| D0 | 1 | 40 | V _{CC} |
| D1 | 2 | 39 | $\overline{\text{RI}}$ |
| D2 | 3 | 38 | $\overline{\text{DCD}}$ |
| D3 | 4 | 37 | $\overline{\text{DSR}}$ |
| D4 | 5 | 36 | $\overline{\text{CTS}}$ |
| D5 | 6 | 35 | $\overline{\text{MR}}$ |
| D6 | 7 | 34 | $\overline{\text{OUT1}}$ |
| D7 | 8 | 33 | $\overline{\text{DTR}}$ |
| RCLK | 9 | 32 | $\overline{\text{RTS}}$ |
| SIN | 10 | 31 | $\overline{\text{OUT2}}$ |
| SOUT | 11 | 30 | $\overline{\text{INTRPT}}$ |
| CS0 | 12 | 29 | $\overline{\text{RXRDY}}$ |
| CS1 | 13 | 28 | A0 |
| $\overline{\text{CS2}}$ | 14 | 27 | A1 |
| $\overline{\text{BAUDOUT}}$ | 15 | 26 | A2 |
| XIN | 16 | 25 | $\overline{\text{ADS}}$ |
| XOUT | 17 | 24 | $\overline{\text{TXRDY}}$ |
| $\overline{\text{WR1}}$ | 18 | 23 | DDIS |
| WR2 | 19 | 22 | RD2 |
| V _{SS} | 20 | 21 | $\overline{\text{RD1}}$ |



UART

- Taxa de transmissão determinada por divisor programável de 16 bits
 - Taxa = $1.8432\text{MHz} / 16 / \text{divisor programável}$
- Inserção de start bit, stop bit e paridade
- Linhas de controle de modem
 - CTS, RTS, DSR, DTR, RI e DCD
- Interrupções de transmissão, recepção, estado da linha e dados
- Detecção de erros de paridade, overrun e framing



UART

- Caracteres de 5, 6, 7 ou 8 bits
- Geração e detecção de paridade par, ímpar ou sem paridade
- Geração de 1, 1 1/2 ou 2 stop-bit
- Devido ao cristal utilizado pode-se ter taxas de informação de até 115200bps
 - Existem extensões utilizando cristais de frequência maior
 - Software "descalibrado"



Registadores do 16550A

| Bit No. | REGISTER ADDRESS | | | | | | | | | | | |
|---------|--------------------------------------|---|---|---------------------------------------|------------------------------------|---------------------------------|---------------------------|-------------------------------------|-------------------------------------|------------------|---------------------|-------------|
| | 0 DLAB = 0 | 0 DLAB = 0 | 1 DLAB = 0 | 2 | 2 | 3 | 4 | 5 | 6 | 7 | 0 DLAB = 1 | 1 DLAB = 1 |
| | Receiver Buffer Register (Read Only) | Transmitter Holding Register (Write Only) | Interrupt Enable Register | Interrupt Ident. Register (Read Only) | FIFO Control Register (Write Only) | Line Control Register | Modem Control Register | Line Status Register | Modem Status Register | Scratch Register | Divisor Latch (LSB) | Latch (MSB) |
| | RBR | THR | IER | IIR | FCR | LCR | MCR | LSR | MSR | SCR | DLL | DLM |
| 0 | Data Bit 0† | Data Bit 0 | Enable Received Data Available Interrupt (ERB) | "0" If Interrupt Pending | FIFO Enable | Word Length Select Bit 0 (WLS0) | Data Terminal Ready (DTR) | Data Ready (DR) | Delta Clear to Send (ΔCTS) | Bit 0 | Bit 0 | Bit 8 |
| 1 | Data Bit 1 | Data Bit 1 | Enable Transmitter Holding Register Empty Interrupt (ETBEI) | Interrupt ID Bit 0 | Receiver FIFO Reset | Word Length Select Bit 1 (WLS1) | Request to Send (RTS) | Overrun Error (OE) | Delta Data Set Ready (ΔDSR) | Bit 1 | Bit 1 | Bit 9 |
| 2 | Data Bit 2 | Data Bit 2 | Enable Receiver Line Status Interrupt (ELSI) | Interrupt ID Bit (1) | Transmitter FIFO Reset | Number of Stop Bits (STB) | Out1 | Parity Error (PE) | Trailing Edge Ring Indicator (TERI) | Bit 2 | Bit 2 | Bit 10 |
| 3 | Data Bit 3 | Data Bit 3 | Enable Modem Status Interrupt (EDSSI) | Interrupt ID Bit (2) (Note 4) | DMA Mode Select | Parity Enable (PEN) | Out2 | Framing Error (FE) | Delta Data Carrier Detect (ΔDCD) | Bit 3 | Bit 3 | Bit 11 |
| 4 | Data Bit 4 | Data Bit 4 | 0 | 0 | Reserved | Even Parity Select (EPS) | Loop | Break Interrupt (BI) | Clear to Send (CTS) | Bit 4 | Bit 4 | Bit 12 |
| 5 | Data Bit 5 | Data Bit 5 | 0 | 0 | Reserved | Stick Parity | 0 | Transmitter Holding Register (THRE) | Data Set Ready (DSR) | Bit 5 | Bit 5 | Bit 13 |
| 6 | Data Bit 6 | Data Bit 6 | 0 | FIFOs Enabled (Note 4) | Receiver Trigger (LSB) | Set Break | 0 | Transmitter Empty (TEMT) | Ring Indicator (RI) | Bit 6 | Bit 6 | Bit 14 |
| 7 | Data Bit 7 | Data Bit 7 | 0 | FIFOs Enabled (Note 4) | Receiver Trigger (MSB) | Divisor Latch Access Bit (DLAB) | 0 | Error in RCVR FIFO (Note 4) | Data Carrier Detect (DCD) | Bit 7 | Bit 7 | Bit 15 |



Registradores do 16550A

| | |
|--------|-----------------------------------|
| Base+0 | Receiver buffer register |
| | Transmitter holding register |
| | Divisor latch LSB |
| Base+1 | Interrupt enable register |
| | Divisor latch MSB |
| Base+2 | Interrupt identification register |
| Base+3 | Line control register |
| Base+4 | Modem control register |
| Base+5 | Line status register |
| Base+6 | Modem status register |
| Base+7 | Scratch register |

Receiver Buffer Register (RBR)

- Base+0, DLAB=0, Leitura

| Bit | RBR |
|-----|-----|
| 0 | D0 |
| 1 | D1 |
| 2 | D2 |
| 3 | D3 |
| 4 | D4 |
| 5 | D5 |
| 6 | D6 |
| 7 | D7 |



Transmitter Holding Register (THR)

- Base+0, DLAB=0, Escrita

| Bit | THR |
|-----|-----|
| 0 | D0 |
| 1 | D1 |
| 2 | D2 |
| 3 | D3 |
| 4 | D4 |
| 5 | D5 |
| 6 | D6 |
| 7 | D7 |



Divisor Latch LSB (DLL)

- Base+0, DLAB=1

| Bit | DLL |
|-----|-----|
| 0 | D0 |
| 1 | D1 |
| 2 | D2 |
| 3 | D3 |
| 4 | D4 |
| 5 | D5 |
| 6 | D6 |
| 7 | D7 |



Interrupt Enable Register (IER)

- Base+1, DLAB=0

| Bit | IER |
|-----|---|
| 0 | Habilita interrupção quando dado disponível |
| 1 | Habilita interrupção quando THR vazio |
| 2 | Habilita interrupção de estado da linha |
| 3 | Habilita interrupção de estado do modem |
| 4 | 0 |
| 5 | 0 |
| 6 | 0 |
| 7 | 0 |

Divisor Latch MSB (DLM)

- Base+1, DLAB=1

| Bit | DLM |
|-----|-----|
| 0 | D8 |
| 1 | D9 |
| 2 | D10 |
| 3 | D11 |
| 4 | D12 |
| 5 | D13 |
| 6 | D14 |
| 7 | D15 |



Interrupt Identification Register (IIR)

- Base+2, Leitura

| Bit | IIR |
|-----|-----------------------------------|
| 0 | 0 se interrupção pendente |
| 1 | Identificação de interrupção IID0 |
| 2 | Identificação de interrupção IID1 |
| 3 | Identificação de interrupção IID2 |
| 4 | 0 |
| 5 | 0 |
| 6 | FIFO habilitado |
| 7 | FIFO habilitado |



Interrupt Identification

| IIR3 | IIR2 | IIR1 | Prioridade | Interrupção |
|------|------|------|------------|-----------------------|
| 0 | 0 | 0 | nenhuma | nenhuma |
| 0 | 1 | 1 | 1 | estado da linha de RX |
| 0 | 1 | 0 | 2 | dado disponível |
| 1 | 1 | 0 | 2 | time-out de caractere |
| 0 | 0 | 1 | 3 | THR vazio |
| 0 | 0 | 0 | 4 | estado do modem |

FIFO Control Register (FCR)

- Base+2, Escrita



| Bit | FCR |
|-----|----------------------------|
| 0 | Habilitação das FIFOs |
| 1 | Reseta FIFO de recepção |
| 2 | Reseta FIFO de transmissão |
| 3 | Seleciona modo DMA |
| 4 | Reservado |
| 5 | Reservado |
| 6 | Nível da FIFO de RX (LSB) |
| 7 | Nível da FIFO de RX (MSB) |



FIFO Trigger Level

| IIR7 | IIR6 | Nível de disparo |
|------|------|------------------|
| 0 | 0 | 1 |
| 0 | 1 | 4 |
| 1 | 0 | 8 |
| 1 | 1 | 14 |

Line Control Register (LCR)

- Base+3



| Bit | LCR |
|-----|---------------------------------|
| 0 | Seleciona tamanho de palavra |
| 1 | Seleciona tamanho de palavra |
| 2 | Número de stop bits |
| 3 | Habilita paridade |
| 4 | Seleciona paridade par |
| 5 | Seleciona paridade <i>stick</i> |
| 6 | Ativa break |
| 7 | DLAB |



Word Length & Stop Bits

| LCR1 | LCR0 | Tamanho de palavra |
|------|------|--------------------|
| 0 | 0 | 5 |
| 0 | 1 | 6 |
| 1 | 0 | 7 |
| 1 | 1 | 8 |

| LCR2 | palavra | Stop bits |
|------|----------|-----------|
| 0 | qualquer | 1 |
| 1 | 5 bits | 1 1/2 |
| 1 | 6 bits | 2 |
| 1 | 7 bits | 2 |
| 1 | 8 bits | 2 |

Modem Control Register (MCR)

- Base+4



| Bit | MCR |
|-----|-------|
| 0 | DTR |
| 1 | RTS |
| 2 | Out 1 |
| 3 | Out 2 |
| 4 | Loop |
| 5 | 0 |
| 6 | 0 |
| 7 | 0 |

Line Status Register (LSR)

- Base+5



| Bit | LSR |
|-----|------------------------|
| 0 | Dado pronto |
| 1 | Erro de <i>overrun</i> |
| 2 | Erro de paridade |
| 3 | Erro de quadro |
| 4 | Break detectado |
| 5 | THR vazio |
| 6 | Transmissor vazio |
| 7 | Erro na FIFO de RX |

Modem Status Register (MSR)

- Base+6



| Bit | MSR |
|-----|-------------------|
| 0 | Δ CTS |
| 1 | Δ DSR |
| 2 | Borda final de RI |
| 3 | Δ DCD |
| 4 | CTS |
| 5 | DSR |
| 6 | RI |
| 7 | DCD |



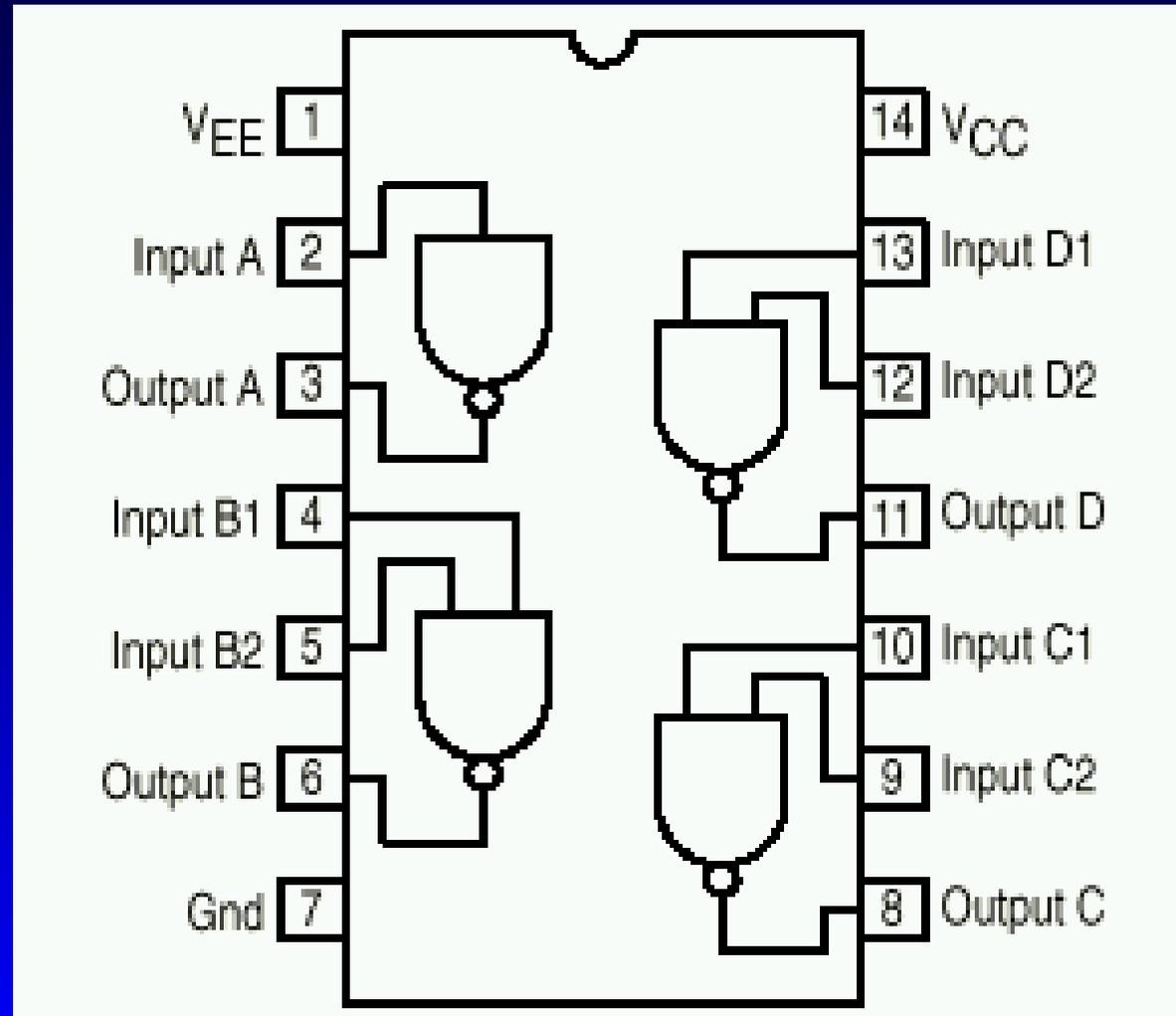
Scratch Register (SCR)

- Base+7

| Bit | SCR |
|-----|-----|
| 0 | D0 |
| 1 | D1 |
| 2 | D2 |
| 3 | D3 |
| 4 | D4 |
| 5 | D5 |
| 6 | D6 |
| 7 | D7 |

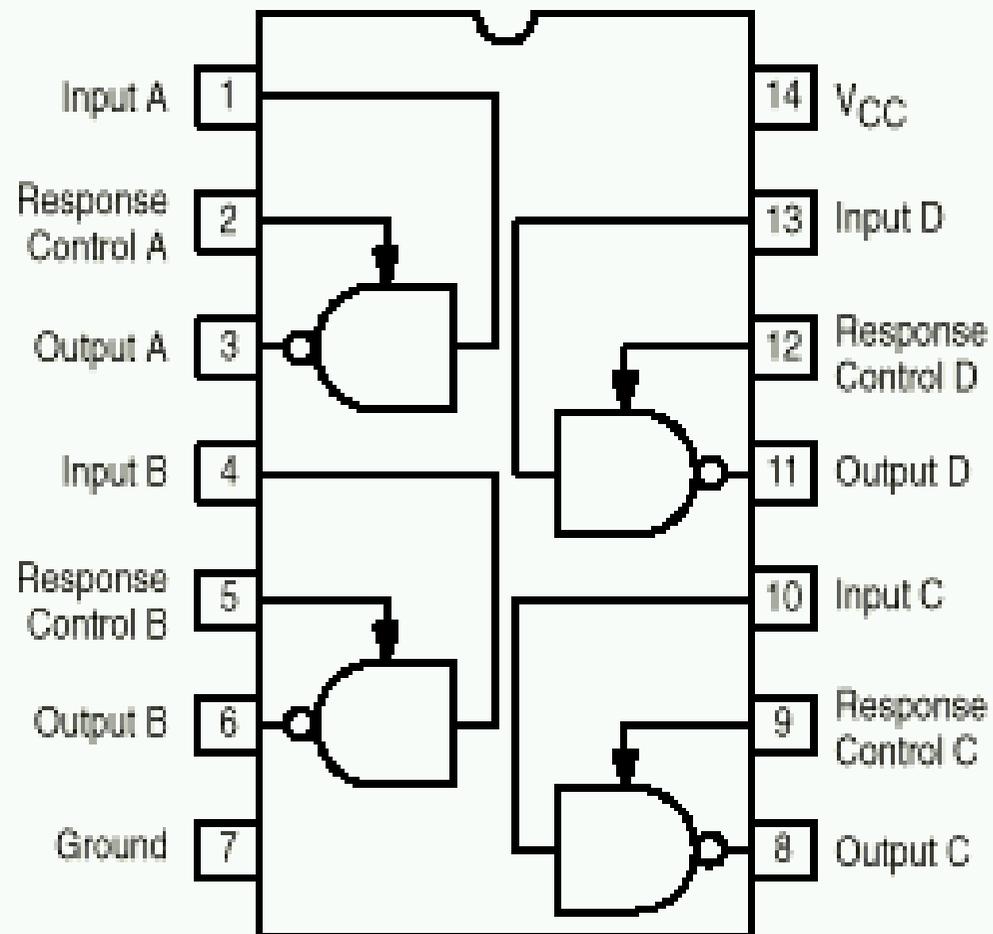
Line Driver 1488

- Conversor TTL/RS-232



Line Receiver 1489

- Conversor RS232/TTL





Endereços no PC

- Um PC pode ter até 4 portas seriais
 - No POST a BIOS armazena os endereços das portas paralelas encontradas na área de dados da BIOS
 - 0040:0000H** endereço base de COM1
 - 0040:0002H** endereço base de COM2
 - 0040:0004H** endereço base de COM3
 - 0040:0006H** endereço base de COM4
- Cada porta serial ocupa 8 portas de I/O



Endereços Padrão no PC

- Normalmente as portas seriais utilizam os seguintes endereços base
 - 3F8H
 - Normalmente utilizada com IRQ4
 - 2F8H
 - Normalmente utilizada com IRQ3
 - 3E8H
 - Normalmente utilizada com IRQ4
 - 2E8H
 - Normalmente utilizada com IRQ3
- A BIOS procura pelas portas na ordem acima
 - A primeira encontrada é COM1, a segunda COM2, a terceira COM3 e a quarta COM4



Exercício

- Fazer um programa para transmitir dados a 9600 bps 8N1
- Fazer um programa para receber dados a 9600 bps 8N1