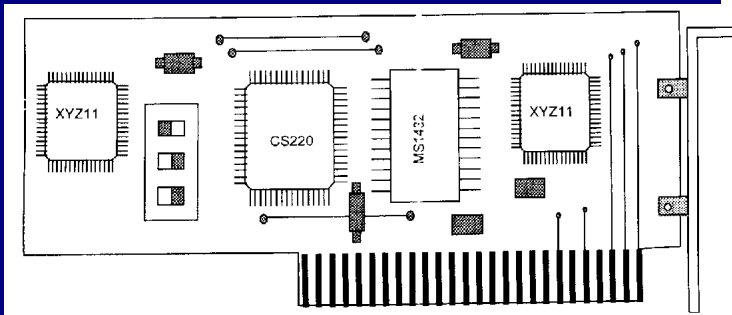


Barramentos ISA, EISA, VLB, PCI e AGP



XT-bus

- 8 bits de dados
- 16 bits de endereços
- Clock 4.77MHz



GND	B1	A1	I/O CH CHK
RESET DRV	B2	A2	SD7
+5V	B3	A3	SD6
IRQ2	B4	A4	SD5
-5V	B5	A5	SD4
DRQ2	B6	A6	SD3
-12V	B7	A7	SD2
0VMS	B8	A8	SD1
+12 V	B9	A9	SD0
GND	B10	A10	I/O CH RDY
SMEMW	B11	A11	AEN
SMEMR	B12	A12	SA19
IOW	B13	A13	SA18
IOR	B14	A14	SA17
DACK3	B15	A15	SA16
DRQ3	B16	A16	SA15
DACK1	B17	A17	SA14
DRQ1	B18	A18	SA13
REF	B19	A19	SA12
CLK	B20	A20	SA11
IRQ7	B21	A21	SA10
IRQ6	B22	A22	SA9
IRQ5	B23	A23	SA8
IRQ4	B24	A24	SA7
IRQ3	B25	A25	SA6
DACK2	B26	A26	SA5
T/C	B27	A27	SA4
ALE	B28	A28	SA3
+5V	B29	A29	SA2
OSC	B30	A30	SA1
GND	B31	A31	SA0



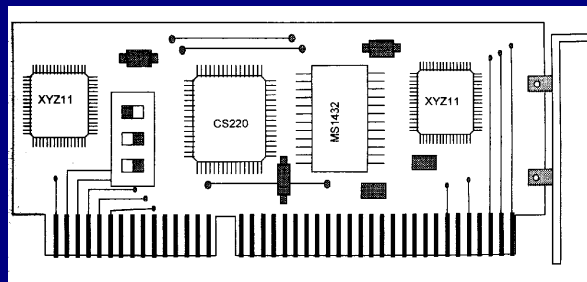
XT-bus

- +5V, -5V, +12V, -12V
- 6 níveis de interrupção
- 3 canais de DMA
- Oscilador de 14.31818 MHz (clock x 3)
- Driver de reset
- Sinal 0 Wait-states

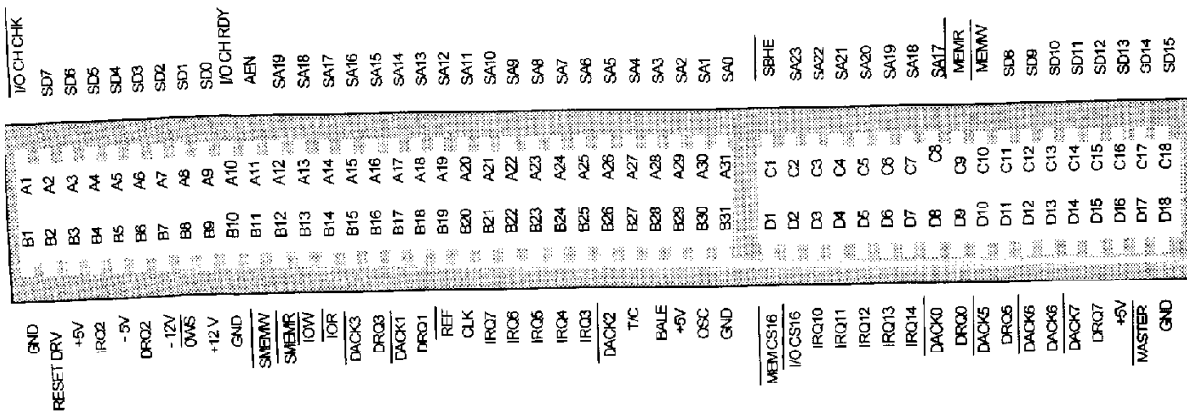


Industry Standard Architecture

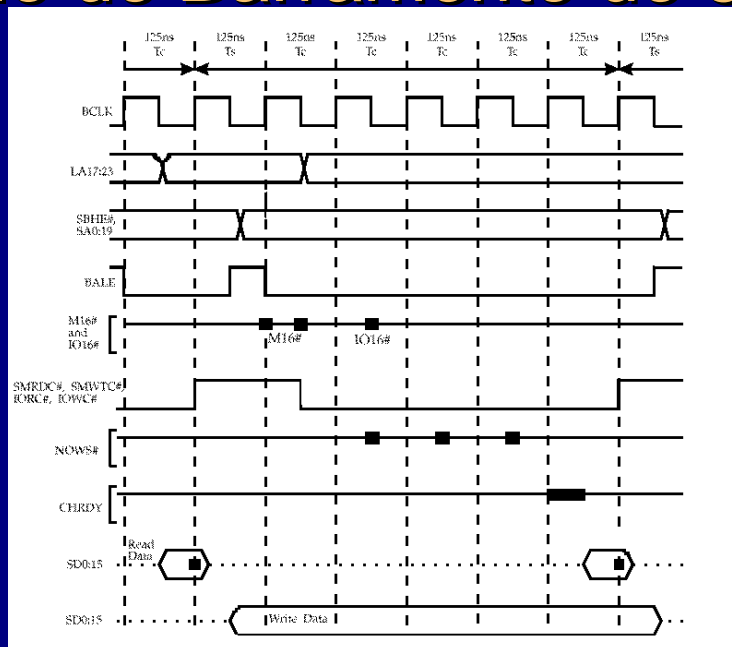
- 8/16 bits de dados
- 24 bits de endereços
- Clock de 8MHz
- Suporte a bus-master
- 7 canais de DMA
- 10 níveis de interrupção



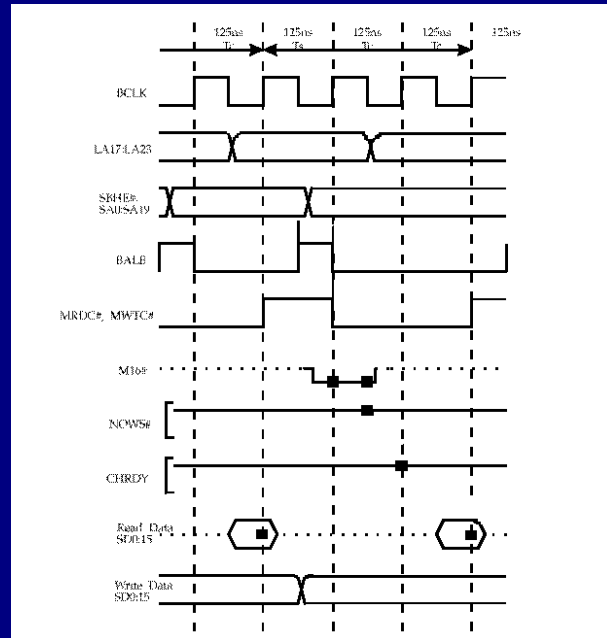
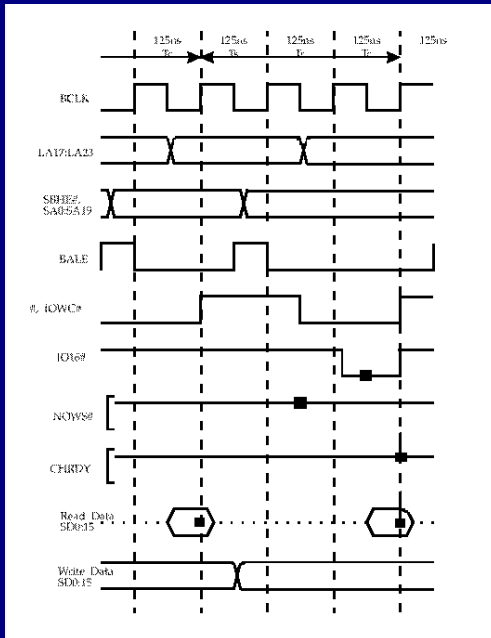
Slot ISA



Ciclo de Barramento de 8 bits



Ciclo de Barramento de 16 bits

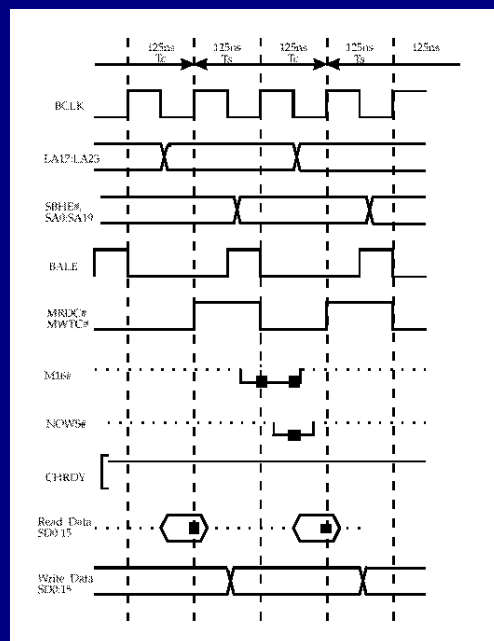


Copyright © 2001 Walter Fetter Lages



7

Ciclo de Barramento 0 WS



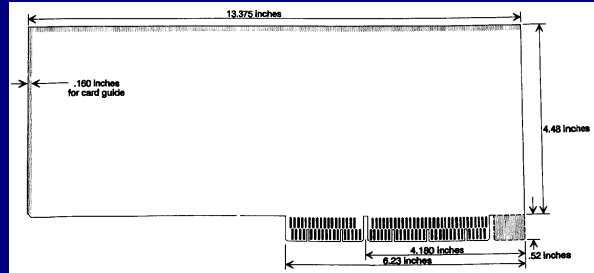
Copyright © 2001 Walter Fetter Lages



8

Enhanced ISA (EISA)

- 32 bits de dados
- 32 bits de endereços
- Clock de 8.33MHz
- Bus-master
- Arbitragem
- Configuração automática
- Interrupções nível ou borda compartilháveis
- DMA compartilhável



Copyright © 2001 Walter Fetter Lages



9

EISA

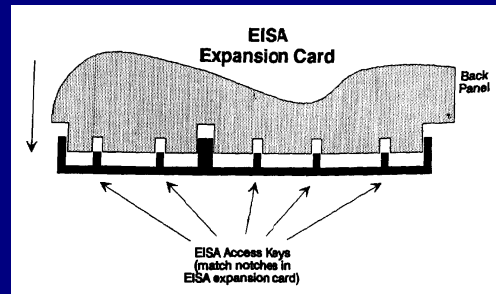
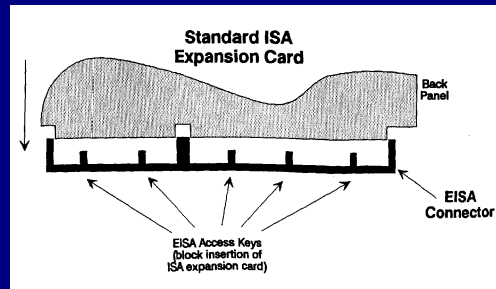
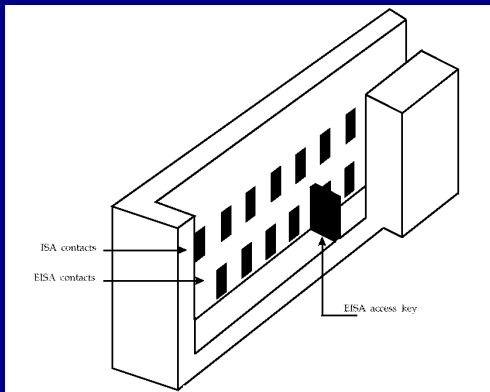
- Lock do barramento
- Espaço de I/O específico para cada slot

Copyright © 2001 Walter Fetter Lages



10

Slot EISA



Copyright © 2001 Walter Fetter Lages



11

Pinagem EISA

F B E A			
F1 GND	B1 GND	A1 CHCHK#	
F2 +5	B2 RESDRV	A2 SD7	
F3 +5	B3 +5	A3 SD6	
F4 xxxxxx	B4 IRQ9	A4 SD5	
F5 xxxxxx	B5 -5	A5 SD4	
F6 key	B6 DRQ2	A6 SD3	
F7 xxxxxx	B7 -12	A7 SD2	
F8 xxxxxx	B8 NOTW5#	A8 SD1	
F9 +12	B9 +12	A9 SD0	
F10 M/IO#	B10 GND	A10 CHRDY	
F11 LACK#	B11 SMWTC#	A11 AEN#	
F12 Reserved	B12 SMRDC#	A12 SA19	
F13 GND	B13 IOWC#	A13 SA18	
F14 Reserved	B14 IORC#	A14 SA17	
F15 BE#	B15 DAK3#	A15 SA16	
F16 key	B16 DRQ2	A16 SA15	
F17 BE2#	B17 DAK1#	A17 SA14	
F18 BDM	B18 DRQ1	A18 SA13	
F19 GND	B19 REFRESH#	A19 SA12	
F20 +5	B20 CLK	A20 SA11	
F21 LA29#	B21 IRO7	A21 SA10	
F22 GND	B22 IRQ6	A22 SA9	
F23 LA26#	B23 IRQ5	A23 SA8	
F24 LA24#	B24 IRQ4	A24 SA7	
F25 key	B25 IRQ3	A25 SA6	
F26 LA16	B26 DAK2#	A26 SA5	
F27 LA14	B27 IC	A27 SA4	
F28 +5	B28 BALE	A28 SA3	
F29 +5	B29 +5	A29 SA2	
F30 GND	B30 OSC	A30 SA1	
F31 LA10	B31 GND	A31 SA0	
H1 LA8	D1 M16#	G1 LA7	
H2 LA6	D2 IO16#	G2 GND	
H3 LA5	D3 IRO10	G3 LA4	C1 SBIEP
H4 +5	D4 IRO11	G4 LA3	C2 LA23
H5 LA2	D5 IRO12	G5 GND	C3 LA22
H6 key	D6 IRO13	G6 key	C4 LA21
H7 SD16	D7 IRO14	G7 SD17	C5 LA20
H8 SD18	D8 DAK0#	G8 SD19	C6 LA19
H9 GND	D9 DRQ0	G9 SD20	C7 LA18
H10 SD21	D10 DAK5#	G10 SD22	C8 LA17
H11 SD23	D11 DRQ5	G11 GND	C9 MKDC#
H12 SD24	D12 DAK6#	G12 SD25	C10 MPTC#
H13 GND	D13 DRQ6	G13 SD26	C11 SD8
H14 SD27	D14 DAK7#	G14 SD28	C12 SD9
H15 key	D15 DRQ7	G15 key	C13 SD10
H16 SD29	D16 +5	G16 GND	C14 SD11
H17 +5	D17 MASTER16#	G17 SD30	C15 SD12
H18 +5	D18 GND	G18 SD31	C16 SD13
H19 MAK#		G19 MREQ#	C17 SD14
			C18 SD15

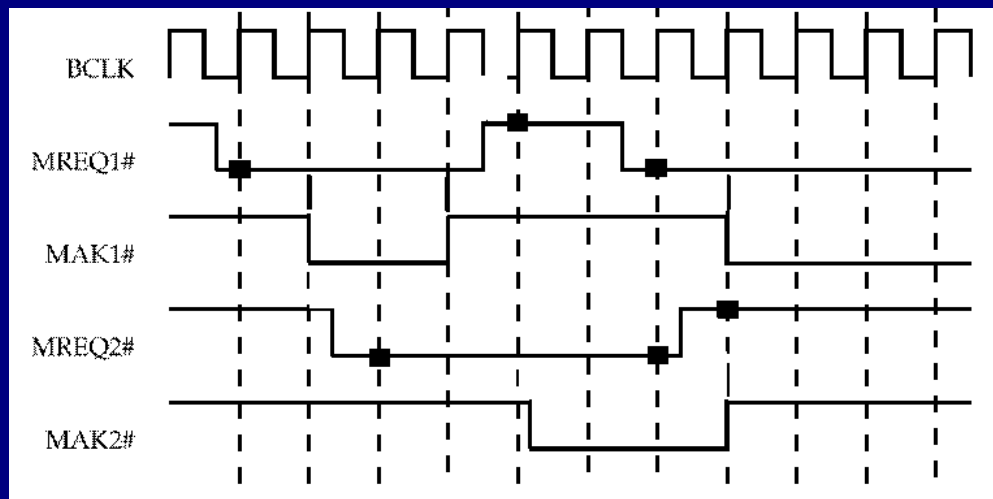
H D G C

Copyright © 2001 Walter Fetter Lages

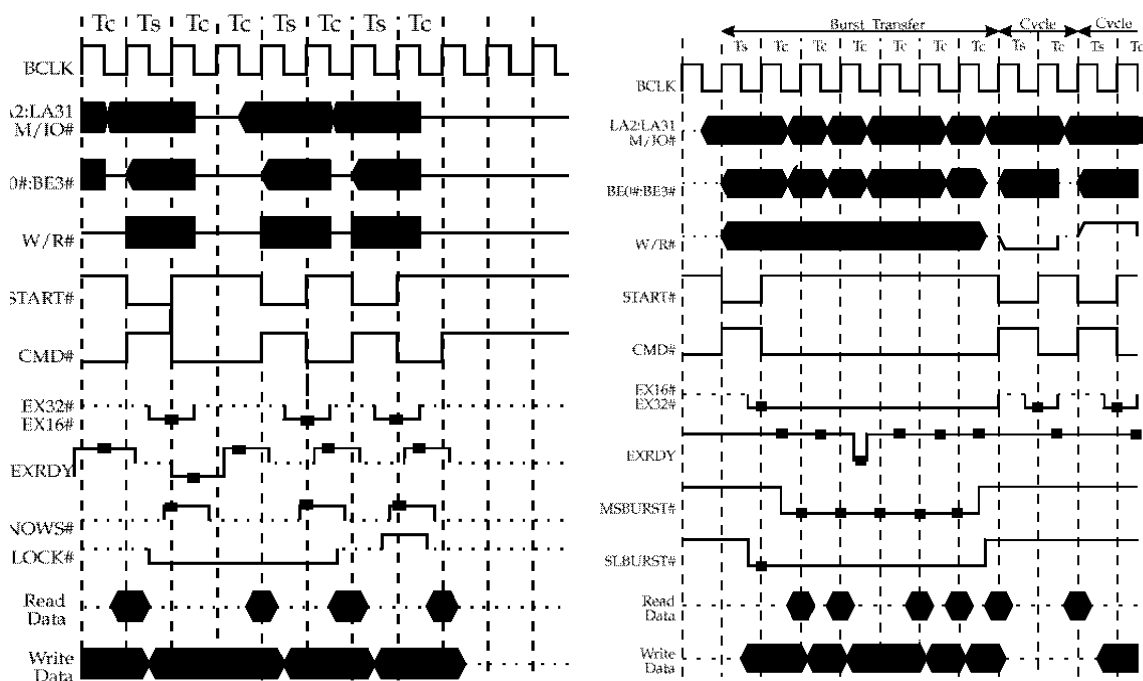


12

Arbitragem



Ciclo Padrão/Burst

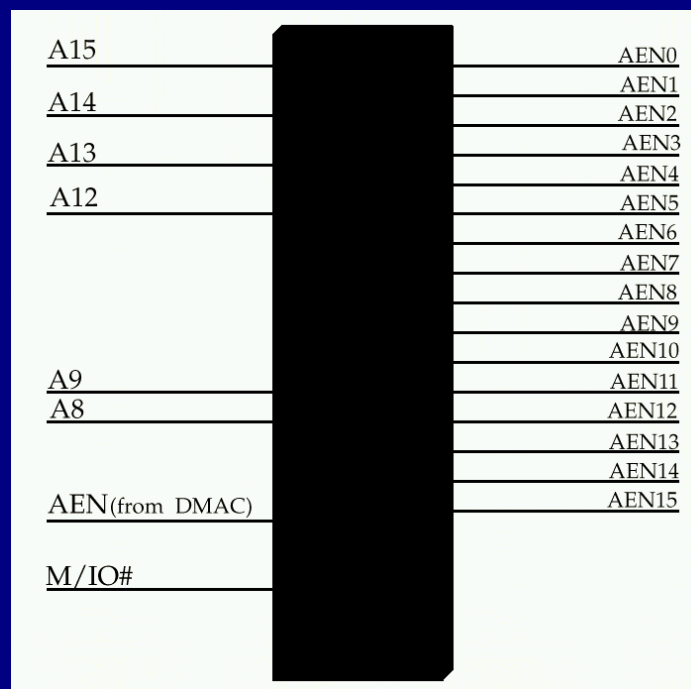


Mapeamento de I/O

Range (hex)	Reserved For	Range Reserved For
0000 – 00FF	EISA/ISA system board I/O devices	System Board
0100 – 03FF	ISA expansion cards	ISA cards
0400 – 04FF	EISA system board I/O	System Board
0500 – 07FF	alias of ISA range; do not use	
0800 – 08FF	EISA system board I/O	System Board
0900 – 0BFF	alias of ISA range; do not use	
0C00 – 0CFF	EISA system board I/O	System Board
0D00 – 0FFF	alias of ISA range; do not use	
1000 – 10FF	Slot 1 I/O	EISA slot one
1100 – 13FF	alias of ISA range; do not use	
1400 – 14FF	Slot 1 I/O	EISA slot one
1500 – 17FF	alias of ISA range; do not use	
1800 – 18FF	Slot 1 I/O	EISA slot one
1900 – 1BFF	alias of ISA range; do not use	
1C00 – 1CFF	Slot 1 I/O	EISA slot one
1D00 – 1FFF	alias of ISA range; do not use	
2000 – 20FF	Slot 2 I/O	EISA slot two
2100 – 23FF	alias of ISA range; do not use	
2400 – 24FF	Slot 2 I/O	EISA slot two
2500 – 27FF	alias of ISA range; do not use	
2800 – 28FF	Slot 2 I/O	EISA slot two
2900 – 2BFF	alias of ISA range; do not use	
2C00 – 2CFF	Slot 2 I/O	EISA slot two
2D00 – 2FFF	alias of ISA range; do not use	
repeated for every X000–		



Decodificador de AEN



Configuração

- Identificador de produto
 - Código ASCII
 - obtido nos endereços xC80h–xC83h
 - 3 caracteres alfabéticos especificam o fabricante
 - 4 caracteres numéricos especificam o produto
- Pseudo switches
 - Localizados no espaço de endereço específico
 - Utilizados para configuração automática
- Arquivos de configuração
 - !del1234.cfg
 - !cpq0010.cfg
 - !ibm4567.cfg



VESA Local Bus

- 32 bits de dados
- 32 bits de endereços
- 25–40MHz
- Bus–master
- Limitado a 2 ou 3 slots
- Extensão dos sinais do 80386 para um slot



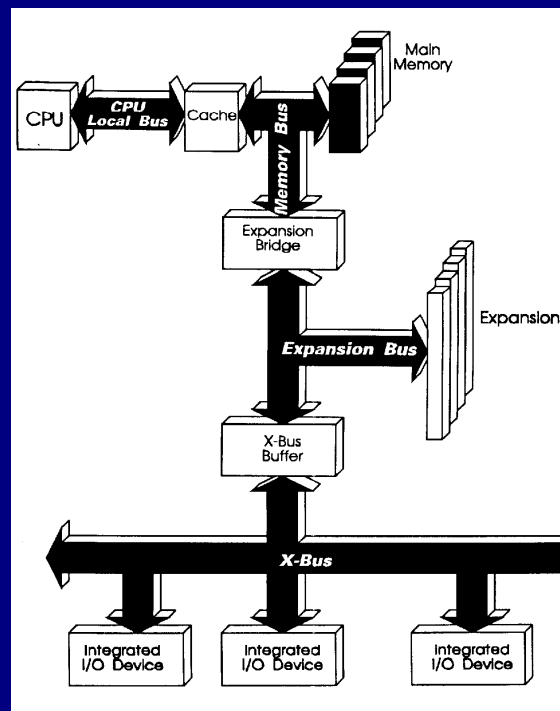
Pinagem VLB

Back Side	Component	SidBack Side	Component	Sid
B1 Dat00	A1 Dat01	B30 Adr17	A30 Adr16	
B2 Dat02	A2 Dat03	B31 Adr15	A31 Adr14	
B3 Dat04	A3 GND	B32 Vcc	A32 Adr12	
B4 Dat06	A4 Dat05	B33 Adr13	A33 Adr10	
B5 Dat08	A5 Dat07	B34 Adr11	A34 Adr08	
B6 GND	A6 Dat09	B35 Adr09	A35 GND	
B7 Dat10	A7 Dat11	B36 Adr07	A36 Adr06	
B8 Dat12	A8 Dat13	B37 Adr05	A37 Adr04	
B9 Vcc	A9 Dat15	B38 GND	A38 WBACK#	
B10 Dat14	A10 GND	B39 Adr03	A39 BEO#	
B11 Dat16	A11 Dat17	B40 Adr02	A40 Vcc	
B12 Dat18	A12 Vcc	B41 n/c	A41 BE1#	
B13 Dat20	A13 Dat19	B42 RESET#	A42 BE2#	
B14 GND	A14 Dat21	B43 DC#	A43 GND	
B15 Dat22	A15 Dat23	B44 M/ID#	A44 BE3#	
B16 Dat24	A16 Dat25	B45 W/R#	A45 ADS#	
B17 Dat26	A17 GND			
B18 Dat28	A18 Dat27			
B19 Dat30	A19 Dat29	B48 RDYRTN#	A48 LRDY#	
B20 Vcc	A20 Dat31	B49 GND	A49 LDEV<x>	
B21 Adr31	A21 Adr30	B50 IRQ9	A50 LREQ<x>	
B22 GND	A22 Adr28	B51 BRDY#	A51 GND	
B23 Adr29	A23 Adr26	B52 BLAST#	A52 LGNT<x>	
B24 Adr27	A24 GND	B53 ID0	A53 Vcc	
B25 Adr25	A25 Adr24	B54 ID1	A54 ID2	
B26 Adr23	A26 Adr22	B55 GND	A55 ID3	
B27 Adr21	A27 Vcc	B56 LCLK	A56 ID4	
B28 Adr19	A28 Adr20	B57 Vcc	A57 LKEN#	
B29 GND	A29 Adr18	B58 LBS16#	A58 LEAD5#	



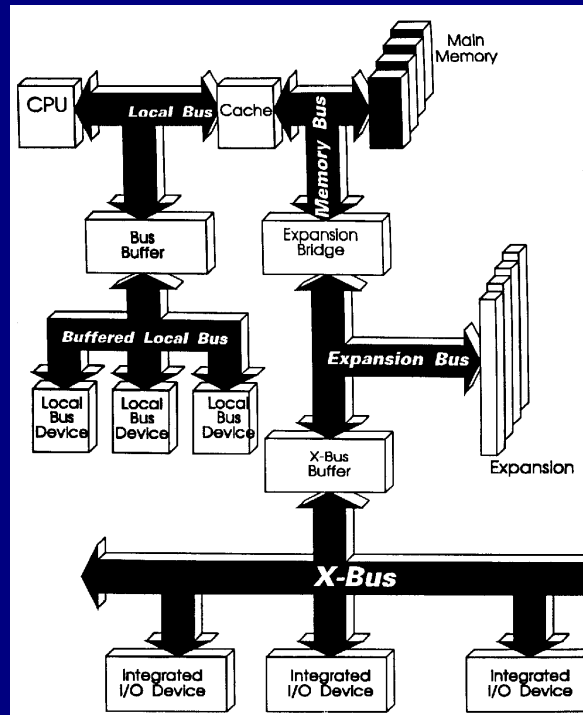
X-bus

- Extensão bufferizada do barramento de expansão onde são conectados os dispositivos *on-board*
- Taxa de transferência limitada



Barramento Local

- Interface dependente do processador utilizado.
- Não permite concorrência



Copyright © 2001 Walter Fetter Lages



21

Peripheral Component Interconnect (PCI)

- Operação independente do processador
- 32 bits de dados (extensão para 64 bits)
- 32 bits de endereços (extensão para 64 bits)
- Suporta bus-master
- Arbitragem oculta
- Paridade
- Três espaços de endereçamento
- Configuração automática

Copyright © 2001 Walter Fetter Lages



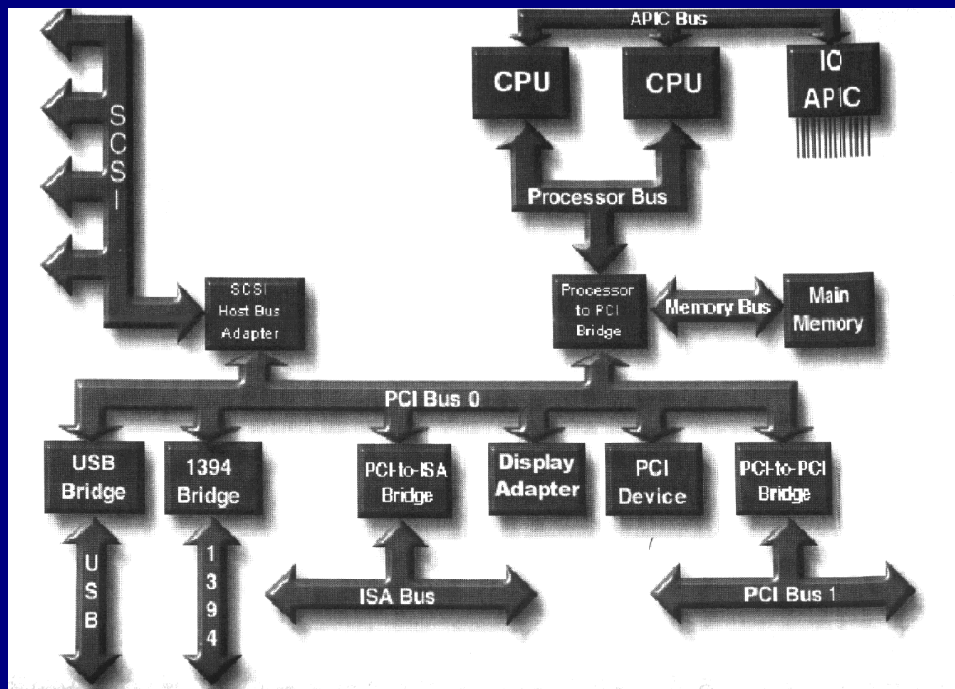
22

PCI

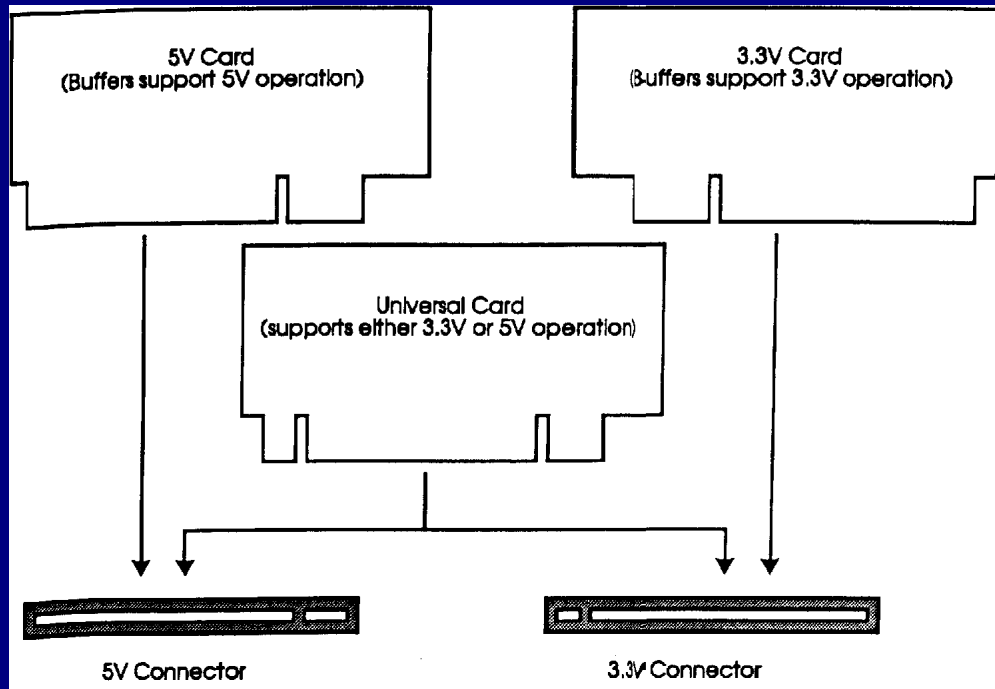
- Clock de 33MHz (extensão para 66MHz)
- 4 níveis de interrupção
- Pode-se ter um sistema com vários barramentos PCI interconectados através de bridges PCI/PCI
 - Todos os barramentos são tratados de forma uniforme pela configuração automática



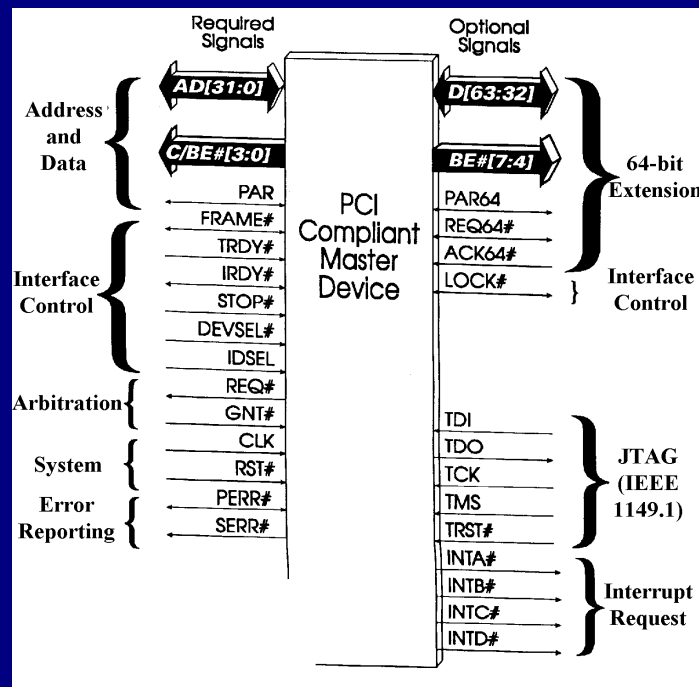
Arquitetura do Sistema PCI



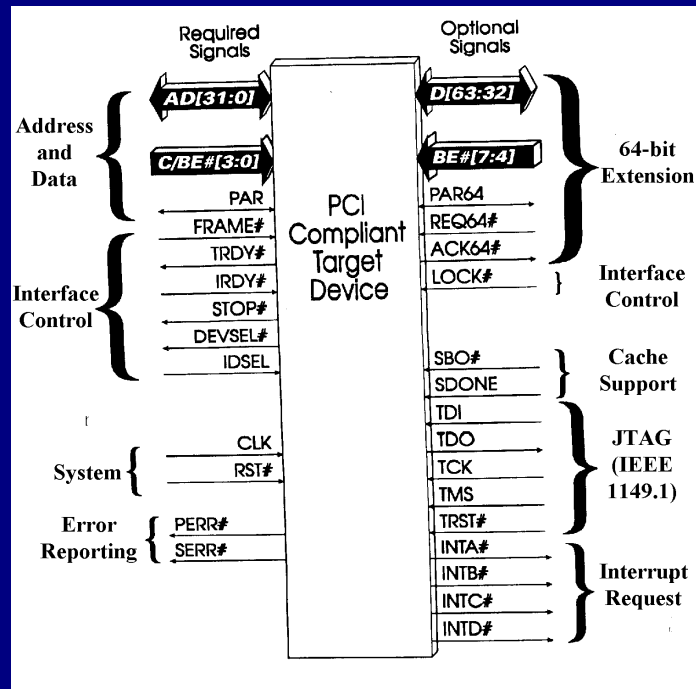
Slots PCI



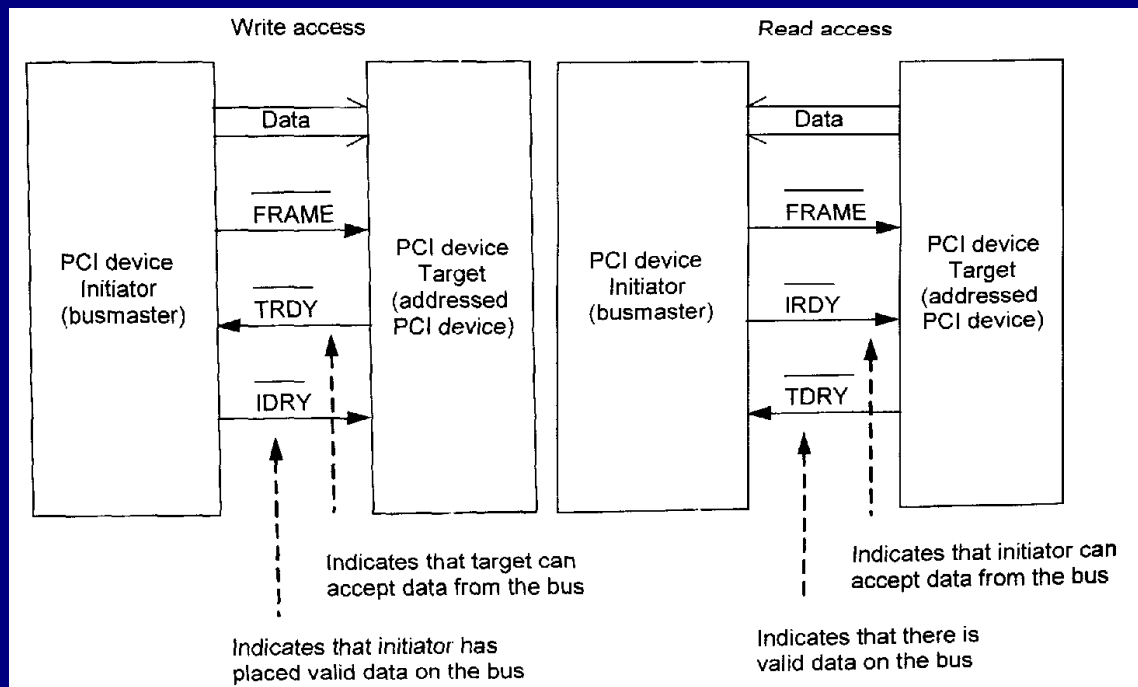
Sinais PCI – Master



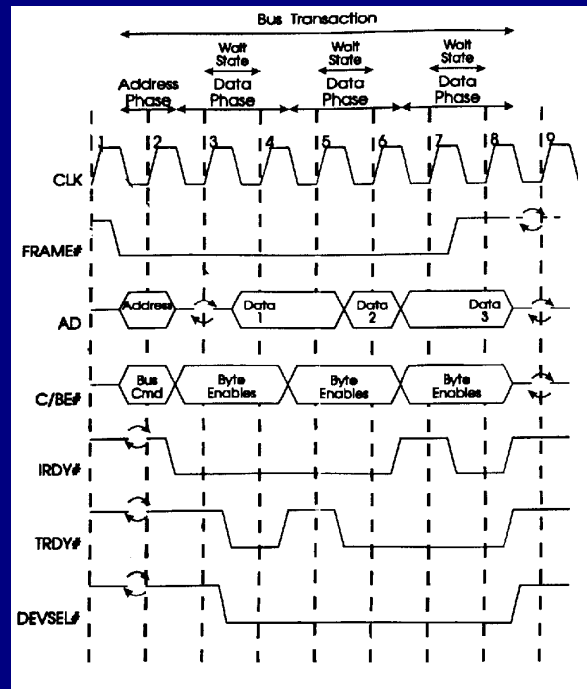
Sinais PCI – Target



Handshaking



Ciclo de Barramento Típico



Comandos

- Reconhecimento de interrupção (0000)
- Ciclo especial (0001)
- Leitura de I/O (0010)
- Escrita de I/O (0011)
- Leitura de memória (0110)
- Escrita de memória (0111)



Comandos

- Leitura de configuração (1010)
- Escrita de configuração (1011)
- Leitura múltipla de memória (1100)
- Ciclo dual-address (1101)
- Leitura de linha de memória (1110)
- Escrita de memória e invalidação (1111)

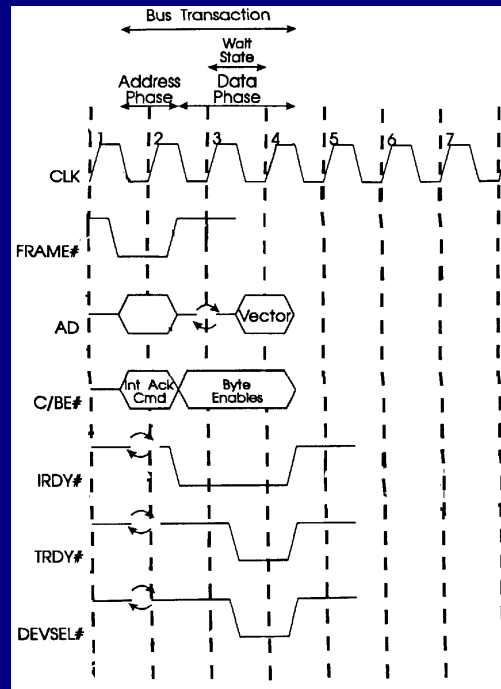


Reconhecimento de Interrupção

- Bridge Host/PCI:
 - Sinaliza ciclo de reconhecimento de interrupção
 - Ativa #IRDY
- Target controlador de interrupções:
 - Mantém #TRDY desativado por 1 ciclo
 - Turn-around dos drivers da bridge
 - Reclama a transação (ativa #DEVSEL)
 - Insere o vetor de interrupções
 - Ativa #TRDY



Ciclo INTA

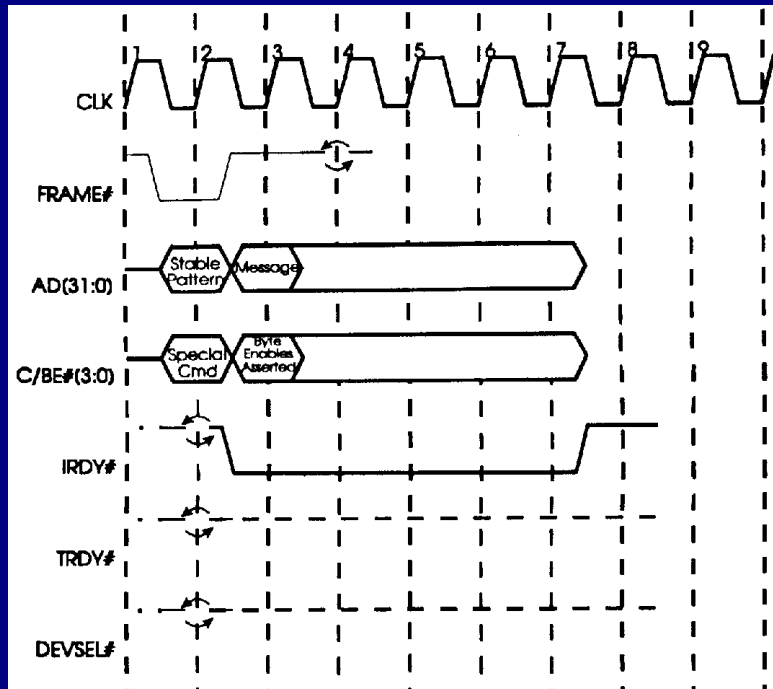


Ciclo Especial

- Utilizado para difundir uma mensagem
- Nenhum target reclama a transação
- Initiator deve abortar a transação
- Códigos de mensagem em AD[15:0]
 - 0000h = Shutdown
 - 0001h = Halt
 - 0002h = mensagem específica do ix86.
 - AD[31:16] contém código específico da Intel



Ciclo Especial

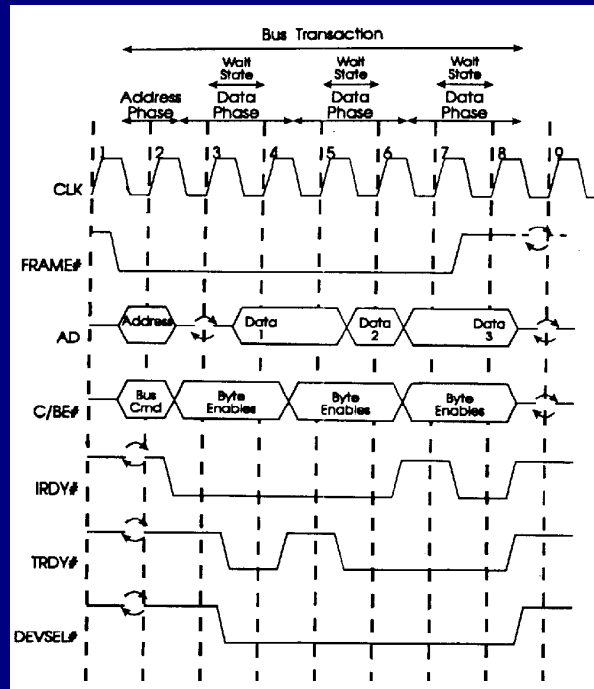


Leitura de Memória

- Reg. de Cache Line Size implementado:
 - Leitura: até 1/2 linha de cache
 - Leitura de linha: de 1/2 a 3 linhas de cache
 - Leitura múltipla: mais de 3 linhas de cache
- Reg. de Cache Line Size não implementado:
 - Leitura: até 2 transferências de dados
 - Leitura de linha: de 3 a 12 transferências
 - Leitura múltipla: mais de 12 transferências



Ciclo de Leitura

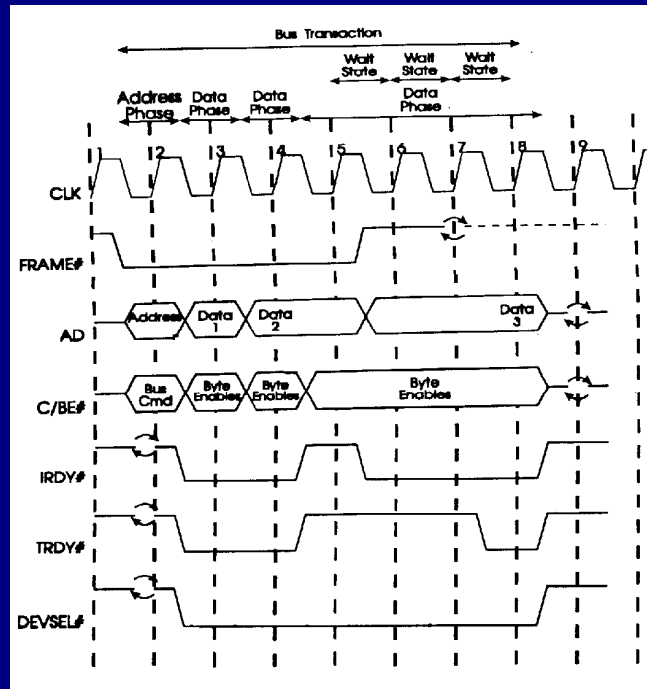


Escrita em Memória

- Escrita
 - Quando o target ativa o #TRDY ele assume a responsabilidade por manter a coerência dos dados
- Escrita e Invalidação
 - Initiator está indicando que está escrevendo toda uma linha de cache
 - Elimina a necessidade de back-off e line flush



Ciclo de Escrita



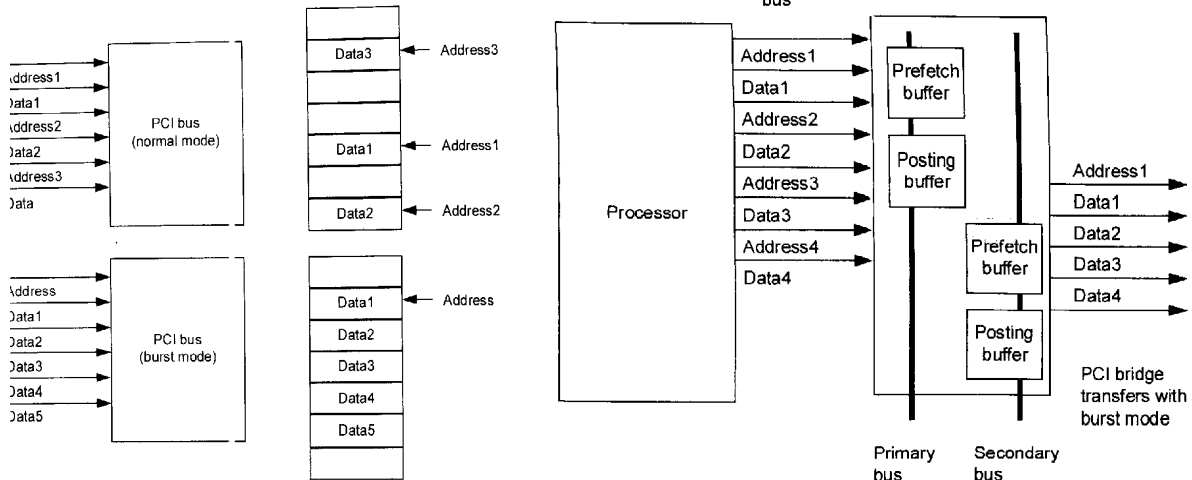
Outros Ciclos

- Leitura e escrita de I/O
- Leitura e escrita de configuração
 - Sinalizados por IDSEL
 - Normalmente requer mapeamento nos espaços de endereçamento do processador
- Dual-address
 - Utilizado para endereçamento de 64 bits



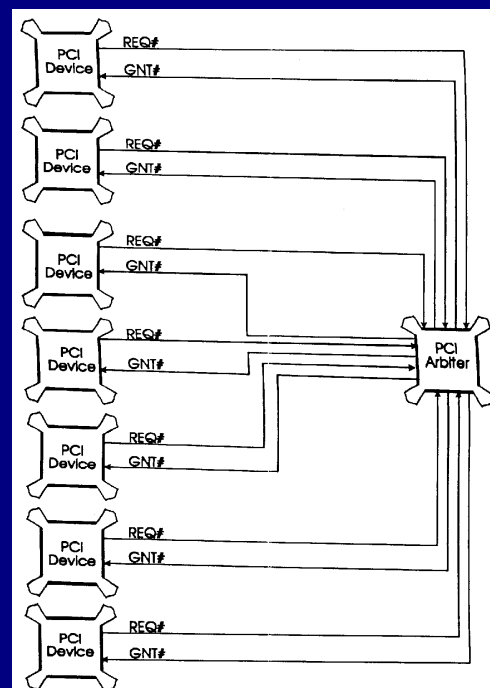
Bridge Host/PCI

- Prefetch buffers
- Posting buffers



Arbitragem

- REQ#
- GNT#
- Desativar REQ# ou GNT# não aborta a transação corrente, apenas sinalizam que o barramento será liberado ao final dela.

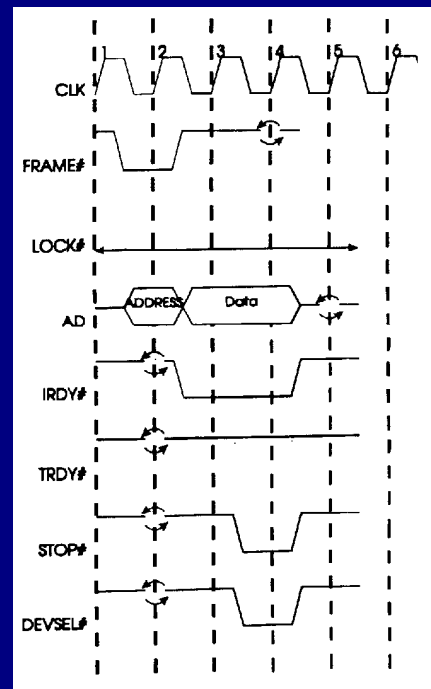
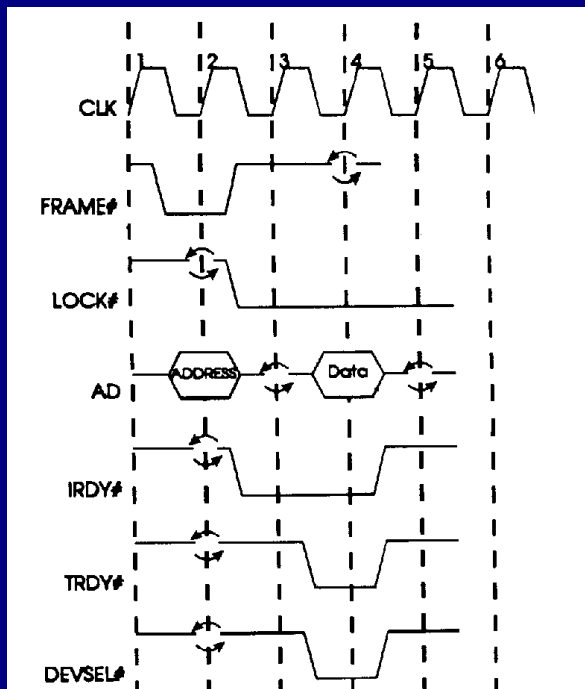


Aborto de Transações

- Pelo initiator
 - Transação completada normalmente
 - Latency time-out e GNT# removido
 - Nenhum target responde
- Pelo target
 - Disconnect -> ocorre transferência de dados
 - Retry
 - Erro fatal



Lock



Suporte a Cache

- Problema: O que acontece com o cache quando uma operação de acesso à memória é iniciada no barramento PCI
 - Cache Write-through – a linha de cache deve ser invalidada se for uma operação de escrita e ocorrer um snoop-hit
 - Cache Write-back – se ocorrer um snoop-hit, a linha de cache deve ser limpa e se for uma operação de escrita a linha de cache deve ser invalidada

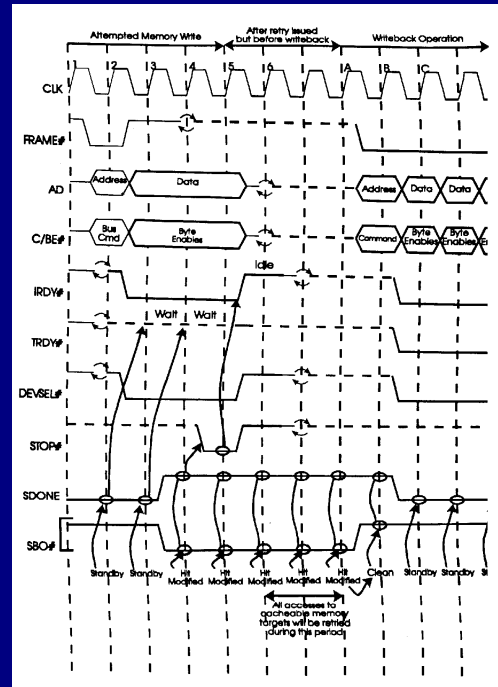
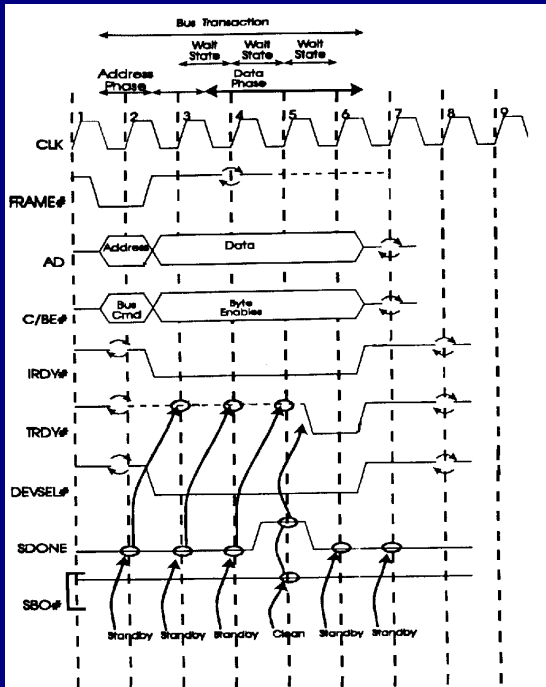


Suporte a cache

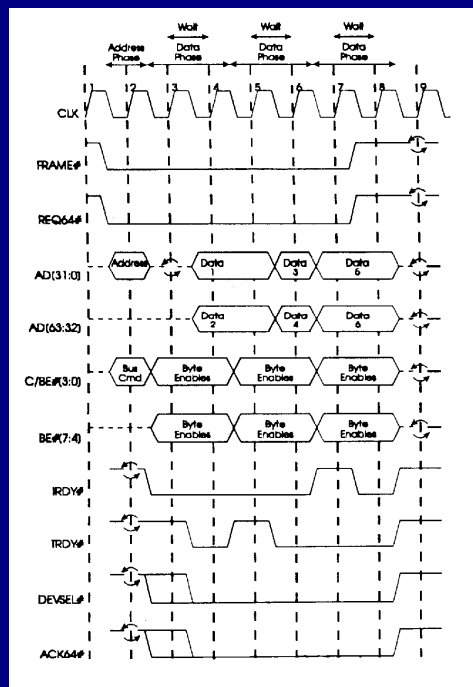
- SDONE
 - Indica que o snoop foi feito
 - O target não deve aceitar o dado até que SDONE esteja ativo
- SBO#
 - Indica que houve um hit em uma linha modificada
 - Força o target a sinalizar um retry para o initiator
- A bridge mantém SBO# ativo até completar o write-back



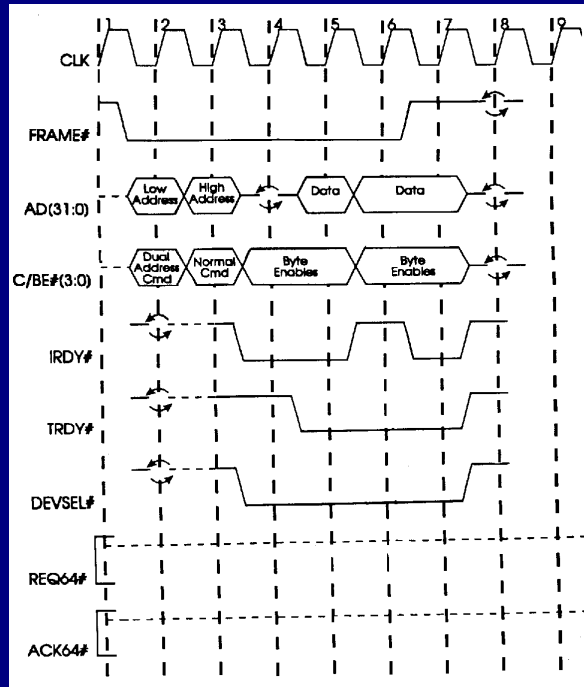
Snooping



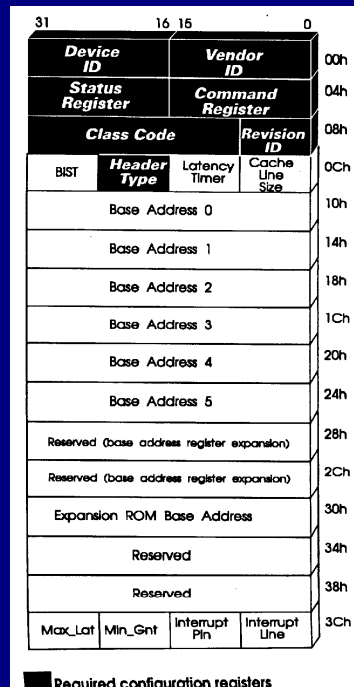
Transferência de 64 bits



Endereçamento de 64 bits



Espaço de Configuração



Tratamento de Erros

- Erros de paridade
 - PERR#
 - Erro sinalizado no registrador de status
 - Ativação ou não de PERR# é configurada no registrador de comando
- Erros de Sistema
 - SERR#
 - Somente pode ser ativado se configurado no registrador de comando



Interrupções

- Ativas por nível
- Ativas em nível lógico baixo
- Compartilháveis
- Dispositivos que utilizem uma única interrupção devem utilizar INTA#



Generalidades PCI

- Decodificação subtrativa
 - A bridge PCI/ISA realiza decodificação subtrativa em todos os endereços de I/O abaixo de 64KB e todos os endereços de memória abaixo de 16MB
 - Transações nos endereços ISA válidos sempre são efetivadas
- Palette snooping
 - Quando se tem VGA on-board, a bridge monitora os acessos palette passa também para o barramento de expansão (slot)

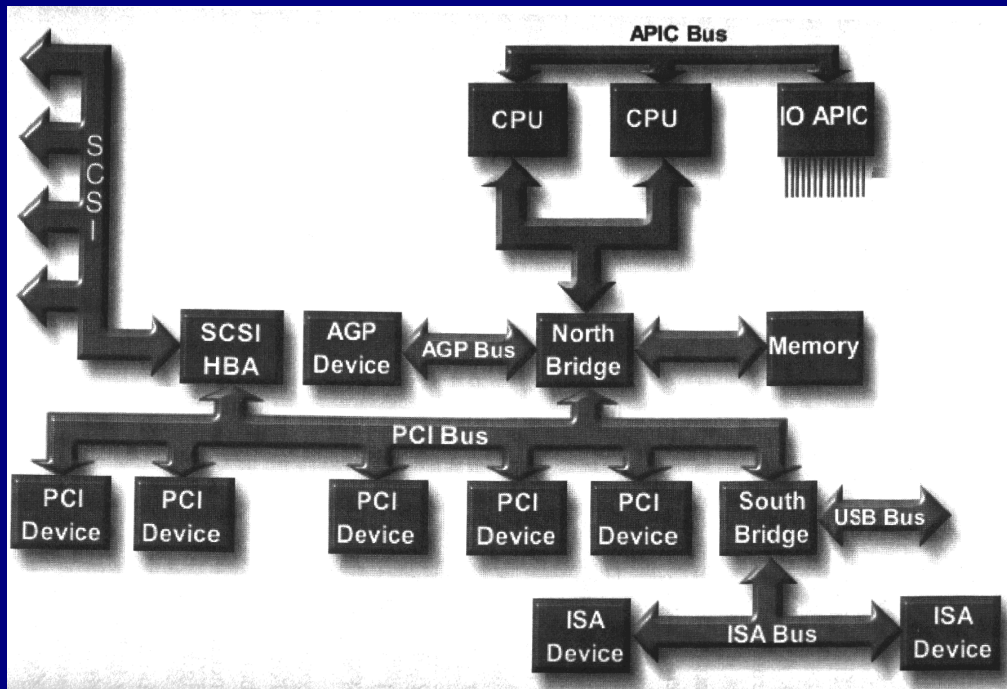


Accelerated Graphics Port

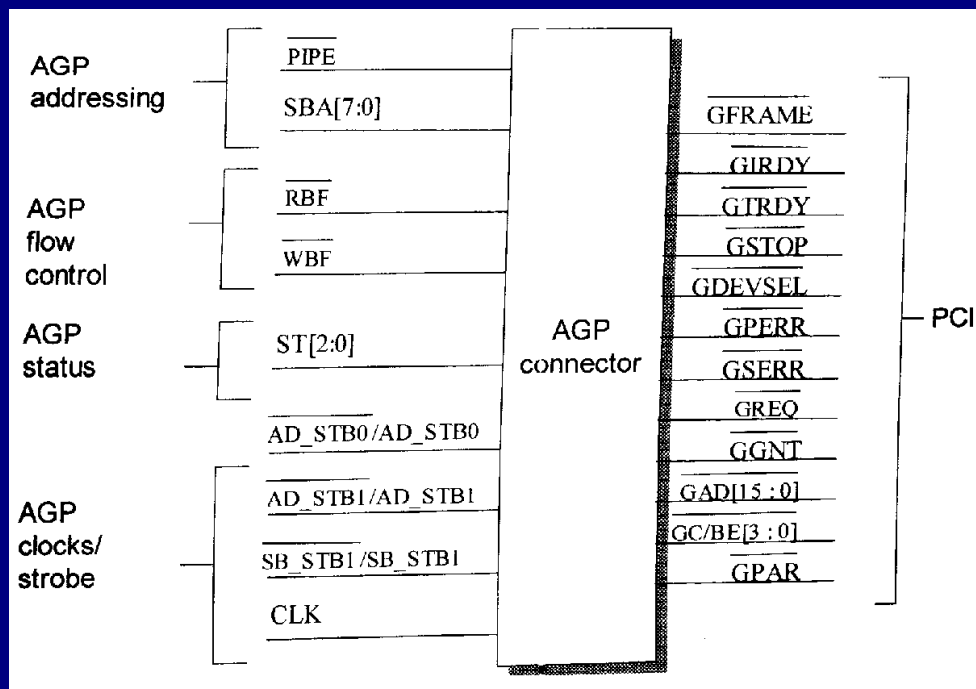
- AGP é baseado na versão de 66MHz do PCI
 - 32 bits apenas, versões de 3.3V e 1.5V
- Barramento com um único initiator (placa AGP) e um único target (CPU/bridge PCI)
- Extensões:
 - Desacoplamento da fase de solicitação (endereçamento) da fase de dados
 - Podem ser utilizadas as bordas de subida e de descida dos strobes para transferir dados
 - Existem dois strobes



Arquitetura do Sistema AGP

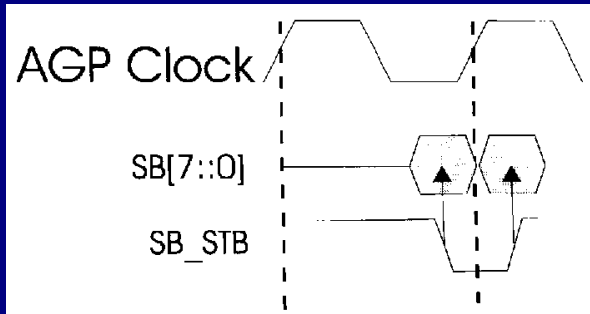
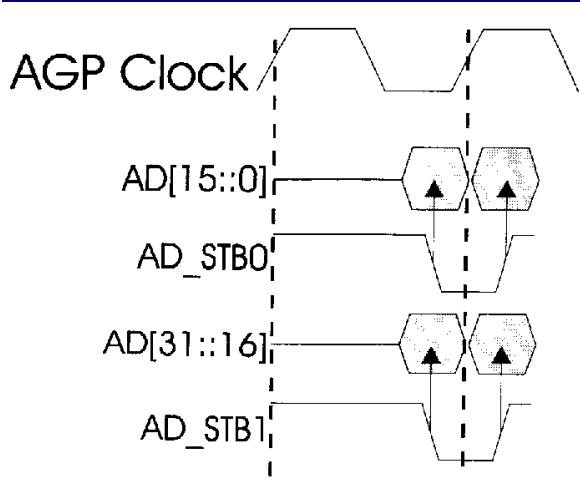


Sinais AGP



Strobe no Modo 2x

- 2 transferências por ciclo de clock
— $66 * 4 * 2 = 528 \text{ MB/s}$



Strobes no Modo 4x

- 4 transferências por ciclo de clock
— $66 * 4 * 4 = 1056 \text{ MB/s}$

